Міністерствоосвіти і науки України
Чернівецький національний університет
імені Юрія Федьковича

Навчально-науковий інститут фізико-технічних
та комп'ютерних наук

Кафедра електроніки і енергетики

Дипломнийпроект

Розробка функціональних блоків цифро-аналогового перетворювача та регістра-лічильника для виконання лабораторних робіт з дисципліни «Цифрова схемотехніка»

Рівень вищої освіти - перший (бакалавр)

Виконав:
студент 4 курсу, групи 432 спеціальності
153–«Мікро- та наносистемна техніка»
Чернушка Аліна Антонівна
Керівник : кандидат ф-м наук,
Нічий Сергій Васильович

До захисту допущено:

Протокол засіданнякафедри № ___

від „___" _____ 2023 р.

зав. кафедри_____проф. Майструк

Чернівці – 2023

Міністерство освіти і науки України
Чернівецький національний університет
імені Юрія Федьковича

Навчально-науковий інститут фізико-технічних
та комп'ютерних наук

Кафедра електроніки і енергетики

Пояснювальна записка
до дипломного проекта

Розробка функціональних блоків цифро-аналогового перетворювачата регістра-лічильника для виконання лабораторних робіт з дисципліни «Цифрова схемотехніка»

Виконав:

студент 4 курсу, групи 432 спеціальності 153–«Мікро- та наносистемна техніка»

Чернушка Аліна Антонівна

Керівник : доцент

Нічий Сергій Васильович

До захисту допущено:

Протокол засіданнякафедри № ___ від

„___" _____ 2023р.

зав. кафедри_____проф Майструк

Чернівці – 2023

Анотація

В даному дипломному проекті метою єрозробка функціональних блоки цифро-аналогового перетворювача та регістра-лічильника для виконання лабораторних робіт з дисципліни «цифрова схемотехніка» для студентів 4 курсу.

Данний дипломний проект містить вступ, два розділи, висновок,списків використаної літератури, додаток А.Написаний українською мовою та містить: 55 сторінок, 35 рисунків, 4 таблиць, а також 2 аркуша формату А1 графічних креслень.

					ДП.153.432.007.ПЗ		
Змн.	Лист	№ докум.	Підпис	Дата			
Розроб.		Чернушка			*Розробка функціональних блоків цифро-аналогового перетворювачата регістра-лічильник а для виконання лабораторних робіт з дисципліни «Цифрова схемотехніка»*	Літ.	Арк. 3 / Аркушів 55
Перевір.		Нічий					
Н. контр.		Андрущак				ЧНУ432гр	
Затвердив		Нічий					

Зміст

Вступ……5

РОЗДІЛ 1. ТЕОРЕТИЧНІ ВІДОМОСТІ ЦИФРО-АНАЛОГОВИХ ПЕРЕТВОРЮВАЧІВ, РЕГІСТРІВ ТА ЛІЧИЛЬНИКІВ……6

1.1. Цифро-аналогові перетворювачі…….....6

1.1.1. Типи цифро-аналогових перетворювачів……....8

1.1.2. Принцип роботи цифро-аналогового з матрицею R-2R……...11

1.2. Цифрові регістри та лічильники…….12

1.2.1. Типи та функціонування регістрів……...15

1.2.2. Принципи функціонування лічильників та їх схемотехніка…….19

1.2.3. Лічильник Джонсона…….27

РОЗДІЛ 2. ФУНКЦІОНАЛЬНІ БЛОКИ ДЛЯ ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ…….....29

2.1. Функціональний блок цифро-аналогового перетворювача……29

2.1.1. Схемотехніка та розрахунок компонентів блоку цифро-аналогового перетворювача…….....29

2.1.2. Методичні рекомендації для виконання лабораторних робіт:«Дослідження перетворення сигналів за допомогою цифро-аналогового перетворювача на матриці R-2R»……34

2.2. Функціональний блок регістр-лічильник……....39

2.2.1. Схемотехніка та розрахунок компонентів блоку регістр-лічильник ……..39

2.2.2. Методичні рекомендації для виконання лабораторних робіт: «Дослідження роботи регістра та лічильника Джонсона»……...43

2.3. Економічні розрахунки……...49

ВИСНОВКИ……52

СПИСОК ВИКОРИСТАНОЇ ЛІТЕРАТУРИ……53

Вступ

Інтегральна схемотехніка – напрямок в електроніці, що займається аналізом роботи електричнопринципових та функціональних схем електронних пристроїв при підготовці до їхнього виробнитцтва. Вона орієнтована на вивчення та розробку принципів дії та технологій виготовлення схемних конструкцій, які є основою електронного обладнання.

Дисципліна "Цифрова схемотехніка" є основною та спрямована на ознайомлення зі схемотехнікою цифрових пристроїв та їх застосуванням у різних модулях електронних систем. Основна мета дисципліни - вивчення фізичних принципів, які лежать в основі перетворення аналогових сигналів у цифрову форму та навпаки, обробки цифрових сигналів з використанням методів і засобів дискретної математики. Крім того, дисципліна включає вивчення пристроїв, які забезпечують реалізацію цих завдань.Для успішного проектування навіть невеликих електронних пристроїв необхідно мати глибоке розуміння процесів, які відбуваються як у його окремих компонентах, так і у пристрої в цілому.

Данний дипломний проект включає в собі два розділи: розділ 1 - «Теоретичні відомості цифро-аналогових перетворювачів, регістрів та лічильників», розділ 2 – «Функціональні блоки для виконання лабораторних робіт».

Метою дипломного проекту є розробка функціональних блоків для виконання лабораторних робіт з курсу «Цифрова схемотехніка» та написання методичних рекомендацій для них.

РОЗДІЛ 1.
ТЕОРЕТИЧНІ ВІДОМОСТІ ЦИФРО-АНАЛОГОВИХ ПЕРЕТВОРЮВАЧІВ, РЕГІСТРІВ ТА ЛІЧИЛЬНИКІВ

1.1. Цифро-аналогові перетворювачі

Цифро-аналоговий перетворювач – це пристрій, якійперетворює двійковий код в аналоговий сигнал. Такий пристрій є невід'ємною частиною нашого життя. В сучасному світі більшість інформації зберігається саме в цифровому форматі, елементарним прикладом є наши смартфони, комп'ютера та інші пристрої. Але людина по своїй природі не може сприймати 0 та 1. Наприклад відео та звук перетворюється в аналоговий сигнал. Тому щоб подивитися філм або послухати музику з нашого смартфона треба скористатися саме цифро-аналоговим перетворювачем.

Цифро-аналоговий перетворювач може з точності реконструювати вибіркові дані в аналоговий сигнал. Цифрові дані можуть бути створені за допомогою мікропроцесора, спеціальної інтегральної схеми (ASIC) або програмованої вентильної матриці (FPGA) , але зрештою дані потребують перетворення в аналоговий сигнал, щоб взаємодіяти з реальним світом.

Базову схему цифро-аналового перетворювача можна побачити на рис.1.1.:

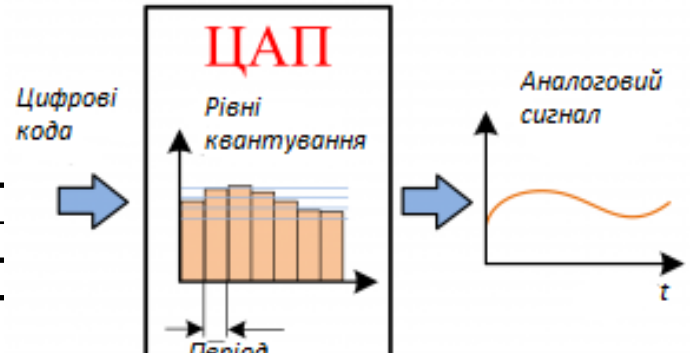


Рис.1.1. Цифро-аналоговий перетворювач.

В основному цифро-аналоговий перетворювач характеризується такими параметрами: число розрядів вхідного цифрового слова, роздільна здатність, похибка перетворення, діапазон вихідних аналогових сигналів, динамічні параметри.

Число розрядів вхідного слова n для різних типів цифро-аналогових перетворювачів зазвичай знаходиться в діапазоні від восьми до вісімнадцяти. Це число визначає максимальну кількість можливих кодових комбінацій, які можуть бути використані на вході цифро-аналогового перетворювача, і вона рівна2^n .

Роздільна здатність h цифро-аналогового перетворювача характеризується мінімальним діапазоном вихідної напруги, який відповідає зміні вхідного слова на одиницю молодшого розряду. Іншими словами, роздільна здатність визначає найменшу зміну вхідного сигналу, яку ЦАП може розпізнати і відобразити у вихідному аналоговому сигналі. Зазвичай, чим менше значення роздільної здатності, тим точніше і деталізованіше може бути перетворений сигнал.

Абсолютна похибка перетворення δ_aцифро-аналогового перетворювача відображає відхилення вихідної напруги від очікуваного значення в кінцевій точці характеристики перетворення.

Нелінійність $\delta_{нл}$–визначає максимальне відхилення реальної характеристики перетворення від теоретичної прямої лінії, яка сполучає точку нуля і мінімального вихідного сигналу.

Диференціальна нелінійність $\delta_{днл}$визначає максимальне відхилення різниці між двома аналоговими сигналами, що відповідають сусіднім кодам, від

значення молодшого розряду. Цей параметр вимірюється у частках молодшого розряду або у відсотках від повної шкали вихідної напруги.

Час встановлення $t_{вст}$– фактично інтервал часу від моменту подачі вхідного коду до моменту, коли вихідний сигнал досягає сталого значення з заданою погрішністю, зазвичай ±1/2 молодшого розряду.Цей параметр вказує на швидкодію апаратури перетворення і визначає, як вихідний сигнал змінюється.

Цифро-аналогові перетворювачі реалізуються у формі гібридних і напівпровідникових мікросхем. Більшість мікросхем ЦАП, які використовуються в сучасних системах, є напівпровідниковими і мають повну функціональність.

Ряд цифро-аналогових перетворювачів використовують зовнішні джерела опорної напруги і вихідні операційні підсилювачі. Живлення ЦАП може здійснюватися від одного або від декількох джерел, що визначається елементною базою.

Перспективами розвитку ЦАП є підвищення швидкодії і точності, зручність узгодження з мікропроцесорами, зниження споживаної потужності.

Також цифро-аналогові перетворювачі класифікуються за такими ознаками:

- за видом вихідного сигналу (з струмовим виходом та виходом у виді напруги);
- за типом цифрового інтерфейсу (послідовне уведення та паралельне уведення вхідного коду);
- за кількістю ЦАП на кристалі (одноканальні та багатоканальні);
- за швидкодією (помірної та високої швидкодії).

Класифікацію можна побачити на рис.1.2.:

Рис. 1.2. Класифікація ЦАП

1.1.1. Типи цифро-аналогових перетворювачів

В основному існує такі типи схем цифро-аналогового перетворювача:

- Схема двійкового зваженого резисторного ЦАП;
- Двійкова матриця R–2R;
- Сегментований ЦАП;
- Дельта-сигма ЦАП.

Двійковий зважений резисторного ЦАП.Зважений резисторний цифро-аналоговий перетворюваяч створює аналоговий вихід, який майже дорівнює цифровому (двійковому) входу завдяки використанню двійкових зважених резисторів у схемі інвертуючого суматора.У цьому типі перетворювача кожен цифровий вхідний біт, який потрібно перетворити, потребує одного резистора або джерела струму. На рис.1.3. показано типову схему двійкового зваженого резисторного перетворювача, яка складається з операційного підсилювача, чотирьох резисторів, які підключені до вхідної клеми операційного підсилювача разом із резистором зворотного зв'язку.

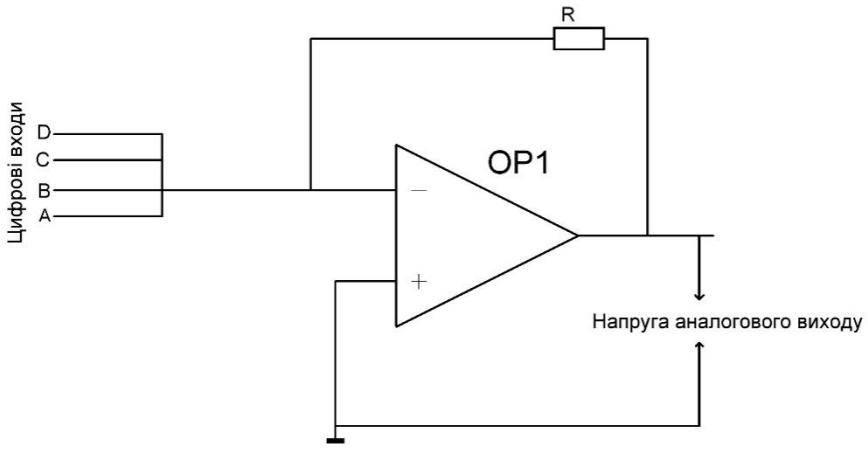


Рис. 1.3. Схема двійкового зваженого резисторного цифро-аналогового підсилювача

Матриця R-2R. Вона побудована як двійково-зважений цифро-аналоговий перетворювая, який використовує повторювану каскадну структуру значень резисторів R і 2R.

Це покращує точність завдяки відносній легкості виробництва однакових узгоджених резисторів (або джерел струму).Як випливає з назви,матриця R-2R створює аналоговий вихід, який майже дорівнює цифровому (двійковому) входу, використовуючи схему R-2Ry схемі інвертуючого суматора.

На рис.1.3. показано бінарну матрицю R–2R.

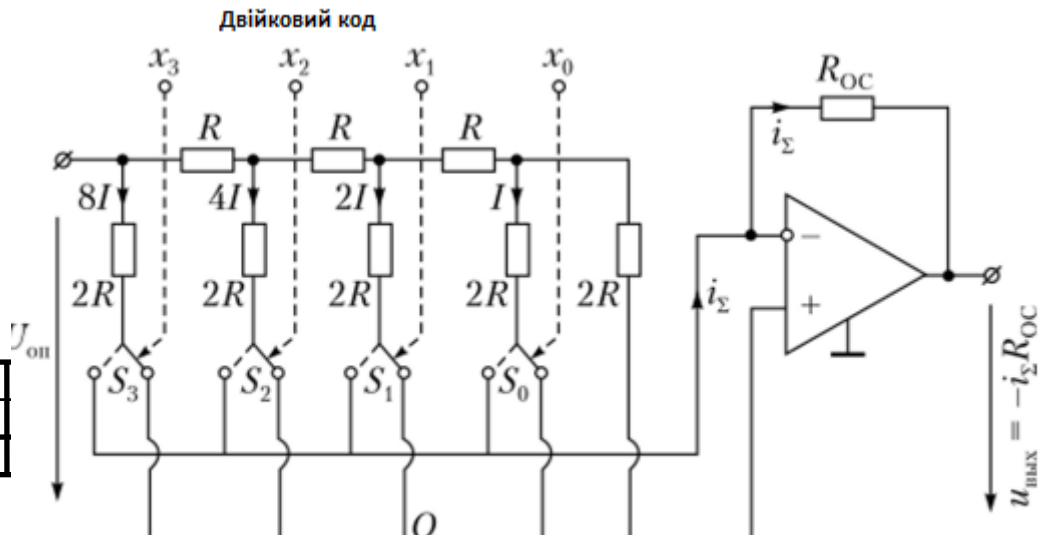


Рис.1.4.Матриця R–2R

Сегментований ЦАП. Розроблені відповідно до специфікацій на основі продуктивності. У таких випадках жодна архітектура не є ідеальною, тому два або більше ЦАП об’єднуються та проектуються. Двійковий зважений і термометрично-кодований ЦАП поєднуються. Вхідний двійковий код розділений на 2 сегменти.

Сегментований цифро-аналоговий перетворювач показано на рис. 1.5.:

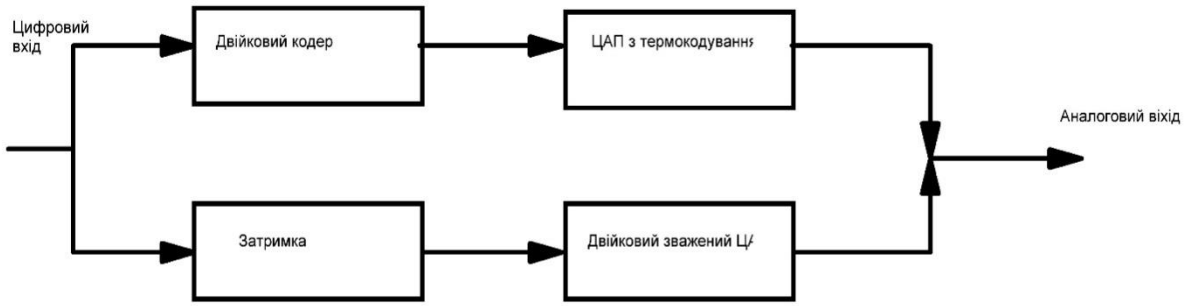


Рис.1.5. Сегментований ЦАП

Дельта-сигма ЦАП – це найшвидший і найточніший цифро-аналоговий перетворювач. Він складаєтьсяз різних блоків, а саме:

- Інтерполяційний фільтр;
- Дельта-сигма модулятор;

- 1-розрядний ЦАП;
- Фільтр аналогового виходу.

Дельта-сигма ЦАП збудований на основі змінної щільності імпульсу. Передискретизація дає змогу використовувати цифро-аналоговий перетворювач з меншою розрядністю, щоб досягнути більшої розрядності підсумкового перетворення. Частіше він будується на основі однобітного цифро-аналогового перетворювача, який зазвичай являється лінійним. На ЦАП малою розрядністю приходить імпульсний сигнал з модульованим щільністю імпульсів, що створюється з використанням негативного зворотного зв'язку. Він виступає в як фільтр верхніх частот для шуму квантування.

Блок-схему Дельта-сигма цифро-аналогового перетворювача наведено на рис.1.6.:

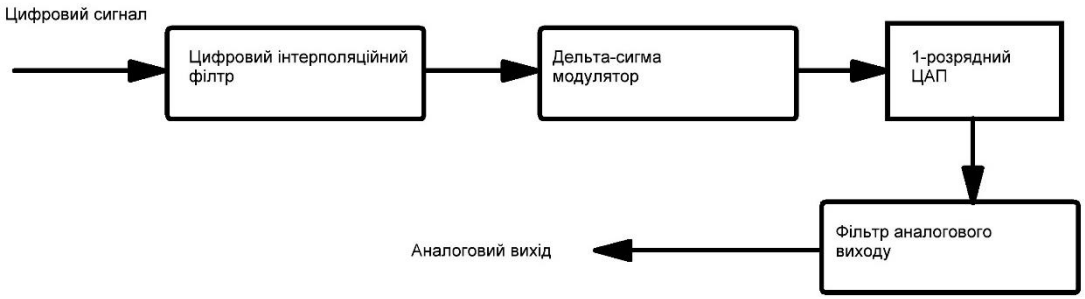


Рис.1.6.Блок-схема Дельта-сигма цифро-аналогового перетворювача

В інтегральній мікросхемі цифро-аналоговий перетворювач, як правило, являють собою резистивні матриці, елементи яких мають співвідношення опорів дільника напруги R–2R–4R–8R–16R і т.д. Їх застосовують доволірідко, бо технологічно важко виконувати точні значення великих опорів, що відповідають старшим розрядам. Також використовують співвідношення опорів дільника струмів R–2R.

Матриця R - 2R, показана на рис. 1.5. містить елементи тільки двох номіналів: R і 2R. Один резистор має базове значення «R», а другий резистор має вдвічі більше значення першого резистора, «2R», незалежно від того, скільки бітів використовується для створення схеми.

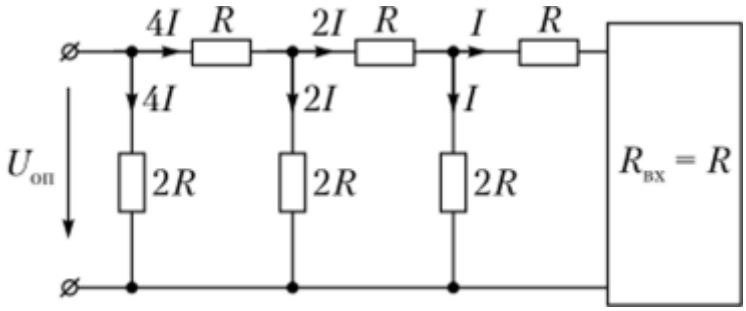


Рис. 1.7. Резистивна матриця *R — 2R*

Принцип організації резистивної матриці R-2R полягає в тому, що вхідний опір щодо розрядних вузлів матриці завжди дорівнює R.

Резистивна матриця R-2R забезпечує простий засібперетворення цифрових сигналів напруги еквівалентівцифрових синалів від опорної напруги до аналогового виходу.Вхідна напруга подається на цифро-аналоговий перетворювач в різних точках уздовж його довжини, і чим більше вхідних точок, тим краща роздільна здатність матриця R-2R.

Вихідний сигнал у результаті всіх цих точок вхідної напруги береться з кінця драбини, яка використовується для управління інвертуючим входом операційного підсилювача.

Тоді матриця R-2R — це не що інше, як довгі ланцюжки паралельно та послідовно з'єднаних резисторів, які діють як взаємопов'язані дільники напруги по своїй довжині, і вихідна напруга яких залежить виключно від взаємодії вхідних напруг один з одним.

Матриця R–2R під'єднується до операційного підсилювача (ОП), тим самим утворюючи з ним інвертуючий підсилювач із програмованим коефіцієнтом підсилення. За вхідний сигнал підсилювача відповідає опорна напруга, яка визнає величину напруги, що відповідає молодшому двійковому слову.

Томукожному значенню двійкового слова на входах керування ЦАП відповідає значення напруги на виході ОП:

$$U_{\text{вих}} = \frac{U_{max}}{N_{max}} N_{\text{вх}}$$

де $U_{\text{вих}}$ - значення вихідної напруги, що відповідає цифровому слова$N_{\text{вх}}$, поданому на вхід ЦАП;

де U_{max}–це максимальне значення вихідної напруги, що відповідає за подачу на входи максимального слова N_{max}.

Опори резисторів матриці R-2Robирають достатньо великими (порядку десятки кОм). Тому для навантаження цифро-аналогового перетворювачаграють роль джерела струму. Якщо на виході ЦАП нам необхідно отримати напругу, то на виході встановлюється перетворювач "струм-напруга".

Приклад структурної схеми на операційному підсилювачі можна побачити на рис.1.8.:

Рис.1.8.Структурна схема цифро-аналогового перетворювача

операційному підсилювачі

1.2. Цифрові регістри та лічильники

Регістр це форма пам’яті, яка складає серію тригерів для зберігання окремих бітів двійкового слова , наприклад байта (8 бітів) даних. На відміну від пристроїв довготривалої пам'яті в регістрах інформація запам'ятовується короткочасно.

Довжина збереженого двійкового слова залежить від кількості тригерів, які складають регістр.

Регістри призначені для запису, зберігання і читання одного двійкового числа або іншої кодової комбінації. Крім цих основних операцій регістри виконують додаткові операції: інвертування коду, скидання в нульовий стан, перетворення послідовного коду в паралельний і навпаки.

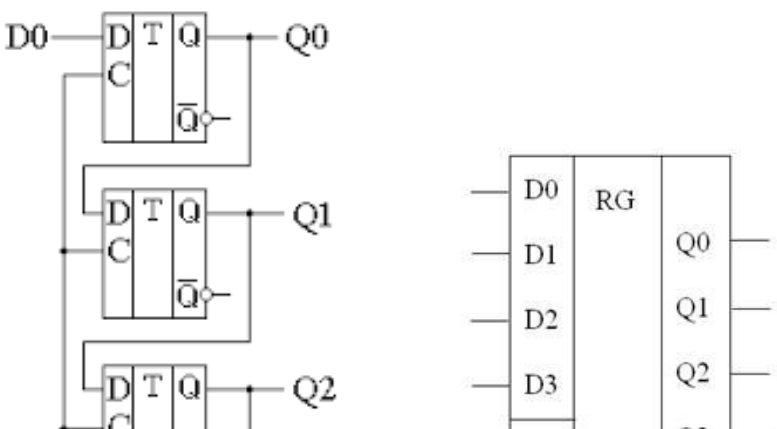


Рис.1.9. Структурна схема регістра

В загальному випадку регістри забезпечують виконання таких мікрооперацій:

- Запис значення регістра в нуль (скидання);
- приймання слова з іншого регістра, лічильника і т. п.;
- передавання слів на інший регістр, лічильник і т. п.;
- перетворення збережених слів в інверсні коди;
- зсув слова вліво або вправо на необхідне число розрядів;
- перетворення послідовного коду в паралельний і навпаки.

Схеми конкретних регістрів у деяких випадках можуть реалізувати лише деякі з перелічених мікрооперацій. Запам'ятовувальні елементи регістра за кількістю розрядів двійкового числа виготовляють на основі RS-, D-, JK-тригерів.

Для допоміжних операцій (введення до регістра або виведення з нього числа, яке зберігається, перетворення коду двійкового числа, зсуву числа на певне число розрядів вліво або вправо) застосовують комбінаційні схеми на основі логічних елементів.

Залежно від способу запису інформації регістри розділяють на 3 типи:

- регістри паралельного типу (без зсуву);
- регістри послідовного типу (із зсувом);
- комбіновані регістри.

Лічильником називається типовий функціональний вузол комп'ютера, призначений для лічіння вхідних імпульсів. Лічильник являє собою зв'язане коло тригерів, які утворюють пам'ять із заданим числом сталих станів

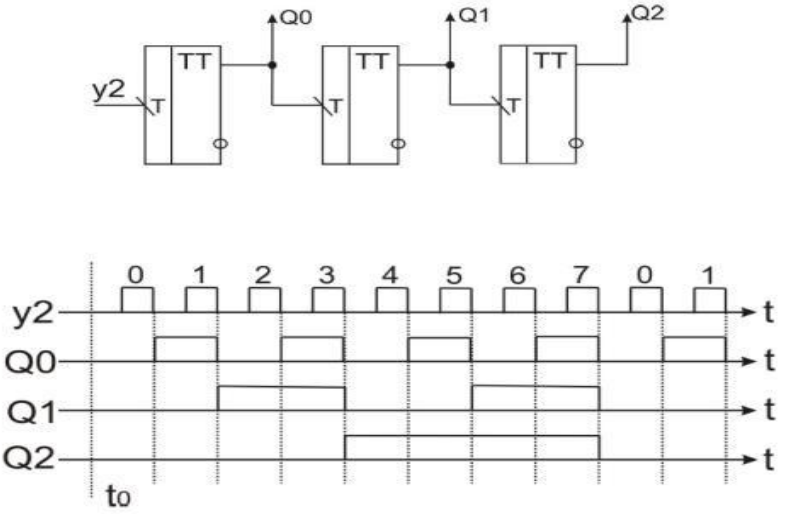


Рис.1.10. Схема двійкового лічильника та його часова діаграма роботи

Лічильник є одним з основних функціональних вузлів комп'ютера, а також різних цифрових керувальних та інформаційно-вимірювальних системи

Основне застосування лічильників:

- утворення послідовності адрес команд програми (лічильник команд або програмний лічильник);
- підрахунок числа циклів при виконанні операцій ділення, множення, зсуву (лічильник циклів);
- одержання сигналів мікрооперацій і синхронізації;
- аналого-цифрові перетворення і побудова електронних таймерів (годинників реального часу).

Лічильник характеризується модулем і ємністю лічби. Модуль лічби визначає число станів лічильника. Модуль двійкового n-розрядного лічильника визначається цілим степенем двійки M=2n. Після лічіння числа імпульсів

лічильник повертається в початковий стан. Таким чином, модуль лічби, який часто називають коефіцієнтом перерахунку, визначає цикл роботи лічильника, після чого його стан повторюється. Тому число вхідних імпульсів і стан лічильника однозначно визначені тільки для першого циклу.

Лічильники класифікують за такими ознаками:

- способом кодування (позиційні та непозиційні);
- модулем лічби (двійкові, десяткові, з довільним постійним або змінним (програмованим) модулем);
- напрямком лічби (прості (підсумовувальні, віднімальні) і реверсивні);
- способом організації міжрозрядних зв'язків (з послідовним, наскрізним, паралельним і комбінованим переносами (позикою));
- типом використовуваних тригерів (T, JK, D в лічильному режимі);
- елементним базисом (потенціальні, імпульсні та потенціально-імпульсні).

1.2.1. Типи та функціонування регістрів

По кількості ліній передач регістри передач регістри бувають однофазними та парофазними, за системою синхронізації – однотактні, двотактні та багатотактні. Але фактично головною ознакою регістрів є спосіб прийому та видачі даних.

Тому за способом падання вхідних та вихідних двійкового слова регістри поділяються на 3 основні типи:

- Паралельні регістри або регістр без зсуву (Parallel-inParallel-out, PIPO);
- Послідовні регістри або регістр зсуву (Serial-in Serial-out, SISO);
- Комбіновані регістри.

Натомість комбіновані регістри поділяються ще на 2 типи. Це:

- Послідовний вхід – паралельний вихід (Serial-in Parallel-out, SIPO)
- Паралельний вхід – послідовний вихід (Parallel-in Serial-out, PISO)

Паралельний регістр(Parallel-inParallel-out, PIPO).Регістр , який використовує паралельний вхід і генерує паралельний вихід, відомий як паралельний регістр. Вигляд такого регістра можно побачили на рис.1.11.:

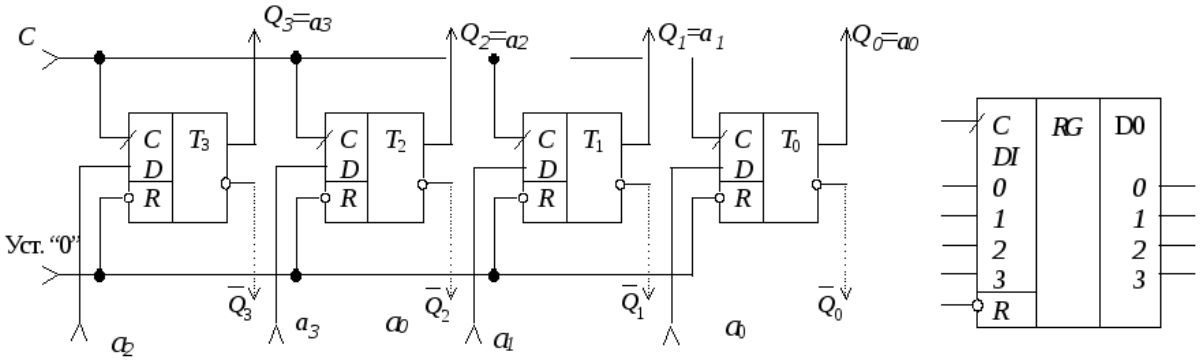


Рис. 1.11. Паралельний регістр (Paralel-inParalel-out, PIPO)

Двійкове слово, яке потрібно зберегти, подається на чотири входи і запам'ятовується тригерами на передньому фронті наступного тактового імпульсу. Потім збережені дані можна прочитати з Q-виходів у будь-який час, доки живлення підтримується, або доки зміна даних на D-входах не буде збережена наступним синхронізуючим імпульсом, який перезаписує попередні дані.

В основному паралельні регістри використовують як буфери для проміжного зберігання та видачі інформації.

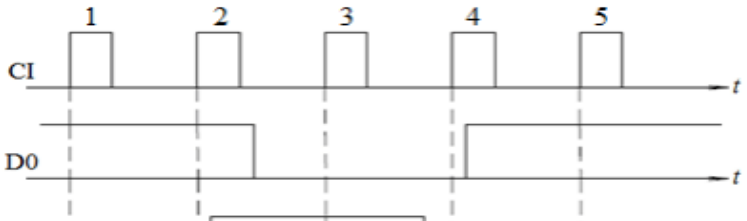


Рис. 1.12. Часова діограма паралельногоного регістра

Послідовний регістр(Serial-inSerial-out, SISO). Регістри,інформаціязякихприймаєтьсяівиводитьсяпослідовноназиваютьсяпослідовними.Їх ще також називають регістрами зсуву.

Зсув — це синхронізоване переміщення двійкового слова в просторі розрядної сітки зі збереженням порядку передачі нулів і одиниць.

Мікрооперації зсуву використовуються командами множення, ділення та нормування. Також додатково здійснюється перетворення паралельного коду в послідовний і навпаки.

Регістри зсуву мають структуру, схожу на регістр PIPO, але мають додаткову можливість зміщувати збережене двійкове слово вліво або вправо, по одному біту за раз. Це робить їх надзвичайно корисними для багатьох програм. Регістри зсуву можна використовувати для затримки проходження даних у певній точці ланцюга. Оскільки дані зміщуються по одному біту від входу до виходу, величина затримки залежатиме від кількості тригерів у регістрі та частоти тактових імпульсів, що керують регістром зсуву.

Простий запам'ятовуючий регістрможна змінити на регістр зсуву, підключивши вихід одного тригера довходу наступного. Основою схем зсувного регістра є тригер D-типу, але також може тригер SR або JK також

можна перетворити на D-тип шляхом включення інвертора між S і R або між J і K.

Послідовний вхід регістра зсуву на рис. 1.13. є входом D першого тригера, а послідовний вихід є виходом Q останнього тригера в ланцюзі. Логічний стан на послідовному вході з'являється на виході, кількість тактових імпульсів (рівна кількості тригерів) пізніше.

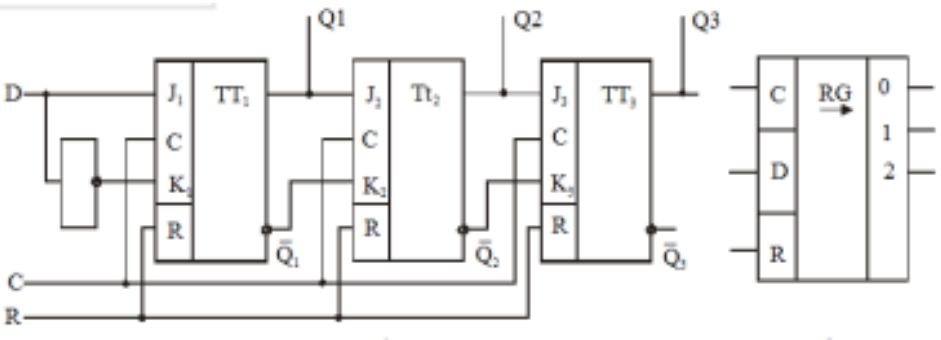


Рис. 1.13. Послідовні регістри або регістр зсуву (Serial-in Serial-out, SISO)

Послідовний вхід – паралельний вихід (Serial-in Parallel-out, SIPO).

Комбіновані регістри — це регістри, які дозволяють робити паралельні записи і послідовний рух інформації. Вони також відомі під такою назвою як універсальні.

Регістр зсуву з послідовним входом і паралельним вихідним сигналом схожий на регістр зсуву з послідовним входом і послідовним вихідним сигналом тим, що він зміщує дані у внутрішні елементи пам’яті та зсуває дані на виводі послідовного входу та виходу даних.

Він відрізняється тим, що він робить усі внутрішні етапи доступними як виходи. Таким чином, регістр зсуву з послідовним входом і паралельним вихідним сигналом перетворює дані з послідовного формату в паралельний формат.

На рис. 1.14. показано схему комбінованого регістра з послідовних входом та паралельних виходом.

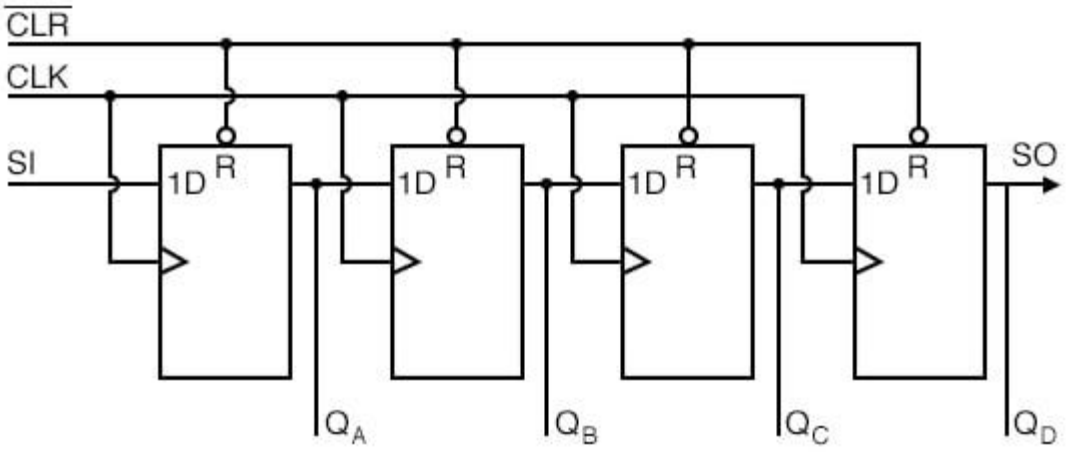


Рис. 1.14. Регістр зсуву послідовного входу/паралельного виходу (SISO/SIPO)/

Схема складається з чотирьох D тригерів, які підключені. Сигнал очищення (CLR) підключається на додаток до сигнала годинника до всіх 4 тригерів, щоб скинути їх. Вихід першого тригера підключається до входа наступного тригера і так далі. Усі ці тригери є синхронними один з одним, оскільки до кожного тригера подається однаковий тактовий сигнал.

Практичне застосування регістра зсуву з послідовним входом і паралельним вихідним сигналом полягає в перетворенні даних із послідовного формату на одному проводі в паралельний формат на кількох проводах.

Паралельний вхід – послідовний вихід (Parallel-in Serial-out, PISO).

Регістрзсуву, якийдозволяєпослідовнийвхід (одинбітзаіншимчерезодинрядокданих) івиробляєпаралельнийвихід, відомийякрегістрзсуву Serial-In Parallel-Out.

Зсувний регістр паралельного входу/послідовного виходу зберігає дані, зсуває їх від такту до такту та затримує на кількість етапів, помножену на період такту.

Крім того, паралельний вхід/послідовний вихід насправді означає, що ми можемо паралельно завантажувати дані на всі етапи до того, як почнеться будь-яке зміщення.

На малюнку 1.15. показано зсувний регістр паралельний вхід – послідовний вихід (PISO). Тут паралельний полубайт завантажується через попередньо встановлений імпульс дозволу в тригери.

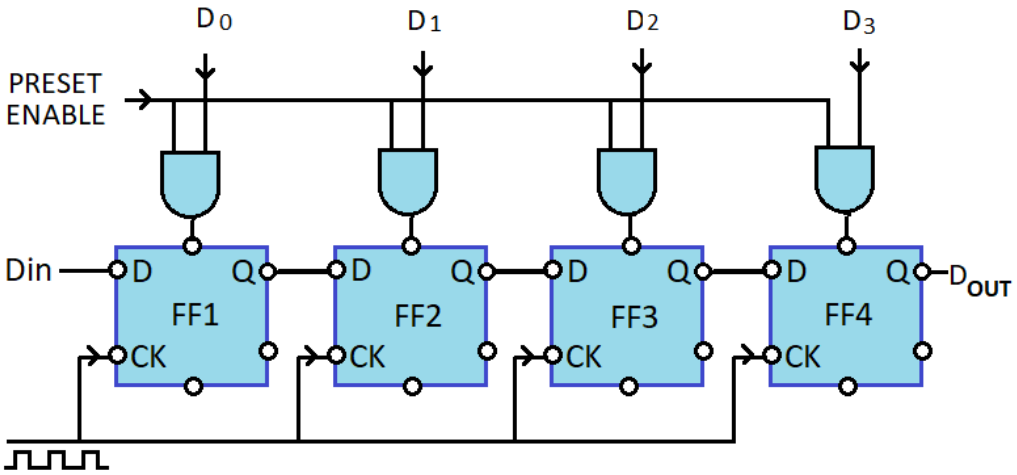


Рис. 1.15. Паралельний вхід – послідовний вихід

(Parallel-in Serial-out, PISO)

1.2.2. Принципи функціонування лічильників та їх схемотехніка

Типовим функціональним блоком комп'ютера називається лічильник, який використовується для підрахунку вхідних імпульсів. Він являє собіз'єднане тригерне кільце, що формує пам'ять з загальною кількістю констант сталих.

Точно так, як і в регістрах, за внутрішню пам'ять лічильників відповідає оперативна пам’ять, це означає, що вміст зберігання тільки до тогомоменту, поки вмикається живлення схеми. Коли воно ввимкненно пам'ять стирається, а коли підь’єднується нове живлення вміст пам'яті буде довільним, випадковим, залежним тільки від одної мікросхеми.

Загальна схема лічильника показана на рис. 1.16.:

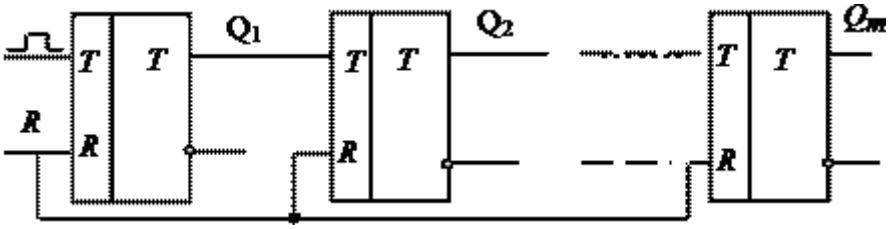


Рис. 1.16. Загальна схема лічильника

Існують наступні основні види лічильників:

- Асинхронні лічильники
- Синхронні лічильники

Асинхронний лічильник. Логічна схема 2-розрядного асихронного лічильника показана на рис. 1.17. Використовується перемикач Т-тригер. Але ми можемо використовувати тригер JK також з J і K, постійно підключеними до логічної 1.

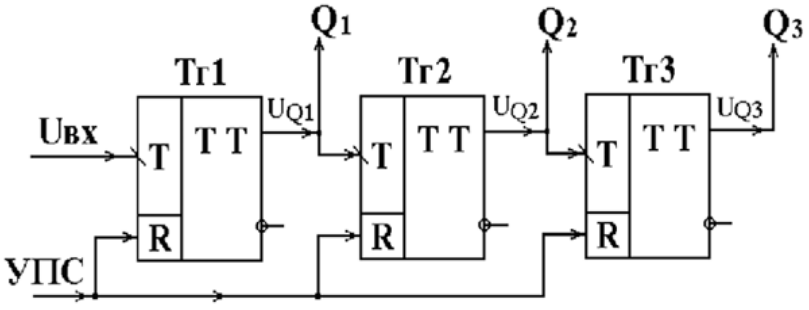


Рис. 1.17.Логічна схема асинхронного лічильника

Якщо тактові входи JK-тригерів з'єднати з інверсними виходами попередніх тригерів, то вийде схема лічильника, що віднімає. Аналогічно, якщо в схемі лічильника, що віднімає, на D-тригерах тактові входи тригерів з'єднати з інверсними виходами попередніх тригерів, то лічильник стане підсумовуючим.

Отримані лічильники називають послідовними, тому що в них кожен тригер перемикається вихідним сигналом попереднього. Ці лічильники відрізняються простою схемою, але низькою швидкодією в режимі реєстрації вхідних сигналів, так як в цьому режимі не можна подавати черговий вхідний сигнал, поки не зафіксовано попередній стан лічильника.

Час встановлення коду дорівнює:

$$t_{\text{вст}} = n t_{\text{зт.тр.}}$$

де $t_{\text{зт.тр.}}$ - час затримки перемикання тригера.

Очевидно, що максимальна частота вхідних сигналів у режимі реєстрації становить:

$$f_{max\text{рег.}} = \frac{1}{t_{\text{вст}}}$$

Втім, у режимі поділу вхідних імпульсів максимальна частота їх надходження обмежуватиметься швидкодією молодшого тригера і становитиме:

$$f_{max\text{поділ.}} = \frac{1}{t_{\text{зт.тр.}}}$$

На рис.1.18. ми можемо розглянуть часову діаграму асинхронного лічильника:

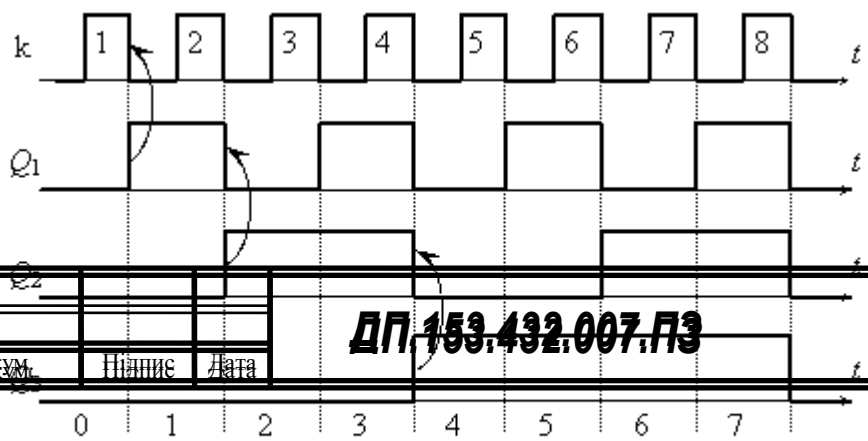


Рис. 1.18. Часова діаграма асинхронного лічильника

На часовій діаграмі видно, що Q0 змінюється, як тільки виникає наростаючий фронт тактового імпульсу, Q1 змінюється, коли зустрічається наростаючий фронт Q0 (оскільки Q0 схожий на тактовий імпульс для другого тригера) і так далі.

Підводячи можемо сказати,що асинхронний лічильник — це каскадне розташування тригерів, де вихід одного тригера керує тактовим входом наступного тригера.

Синхронний лічильник. Синхронний лічильник є протилежністю асинхронного лічильника, оскільки його тригери спрацьовують одночасно. Єдиний можливий варіант такого лічильника на J-K-тригерах — паралельне з'єднання всіх входів, що синхронізують, при цьому один і той же тактовий імпульс надходитиме на входи всіх тригерів одночасно.

Одна перевага синхронного лічильника над асинхронним полягає в тому, що він може працювати на вищій частоті, ніж асинхронний лічильник, оскільки він не містить сукупної затримки, оскільки однаковий тактовий сигнал дається кожному тригеру. Його також називають паралельним лічильником.

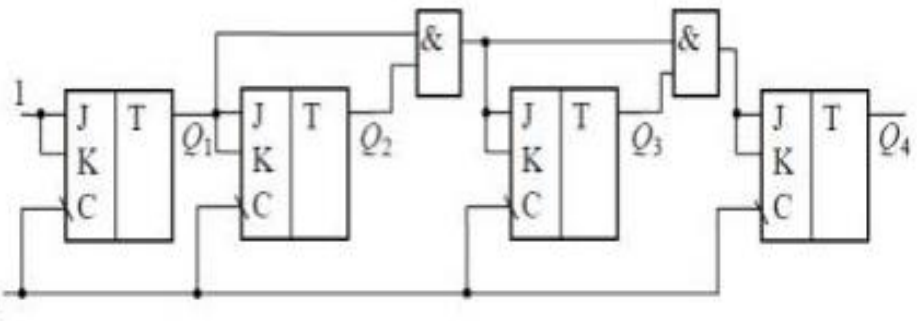


Рис. 1.19. Логічна схема синхронного лічильника

На рис.1.19. ми бачимо логічну схему синхронного лічильника, де лічильний імпульс T впливає одночасно на всі тригери. Перший тригер спрацьовує як лічильний. Наступний, після нього змінює свій стан на протилежний, попередні ж знаходяться в подиничному стані.

Такий пристрій працює за алгоритмом роботи підсумовуючого двійкового лічильника з M = 16.

Часову діаграму синхронного лічильника можна побачити на рис.1.20.:

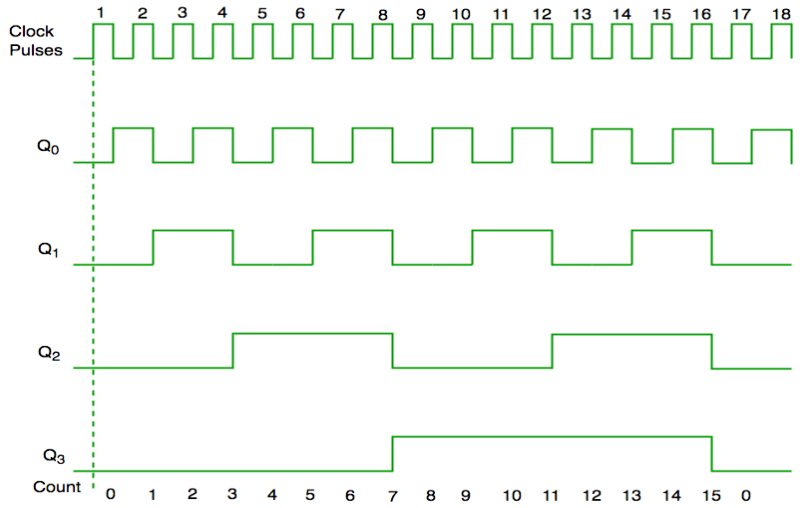


Рис. 1.20. Часова діаграма синхронного лічильника

З часової діаграми синхронного лічильниками бачимо, що біт Q0 дає відповідь на кожен спадаючий фронт синхронізації, тоді як Q1 залежить від Q0, Q2 залежить від Q1 і Q0, Q3 залежить від Q2, Q1 і Q0.

1.2.3. Лічильник Джонсона

Лічильник Джонсона – це кільцевий лічильник з інверсією.Він за своєю схемотехнікою має схожість з [illegible]. Єдина відмінність

між лічильником Джонсона та кільцевим лічильником полягає в тому, що результат останнього тригера передається до першого тригера як вхід.Його ще також називають повзучим лічильником .

На рис.1.21. показано логічну схему лічильника Джонсона:

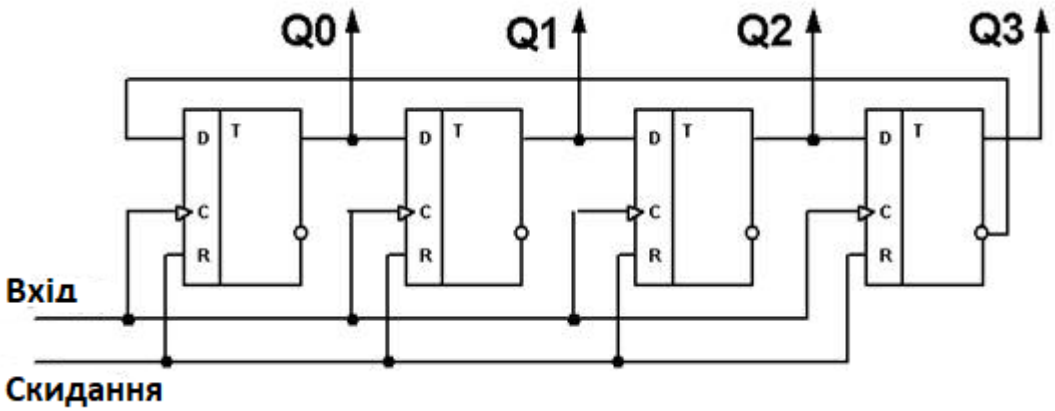


Рис.1.21. Лічильник Джонсона

Лічильник Джонсона має коефіцієнт перерахунку, удвічі більший від числа його тригерів. Зокрема, якщо лічильник складається з трьох тригерів (m=3), він матиме шість стійких станів. Лічильник Джонсона використовується в системах автоматики як розподільники імпульсів.

Для побудови лічильника Джонсона достатньо з'єднати інверсний вихід останнього тригера регістра (останнього розряду) з входом D (з входом, призначеним для введення послідовної інформації) першого тригера.

Як і всі пристрої лічильник Джонсона має свої переваги та недоліки:

Переваги:

- Лічильник Джонсона має таку саму кількість тригерів, але він може вдвічі перевищувати кількість станів, яку може підрахувати кільцевий лічильник.
- Його можна реалізувати за допомогою тригера D і JK.

- Кільцевий лічильник Джонсона використовується для підрахунку даних у безперервному циклі.
- Лічильник Джонсона - це схема самодекодування.
-

Недоліки:

- Лічильник Джонсона не враховується в двійковій послідовності.
- У лічильнику Джонсона більше станів залишається невикористаним, ніж кількість станів, які використовуються.
- Необхідна кількість тригерів становить половину кількості сигналів синхронізації.
- Його можна побудувати для будь-якої кількості часових послідовностей.
-

Застосування лічильника Джонсона:

- Лічильник Джонсона використовується як синхронний декадний лічильник або дільник.
- Він використовується в логіці апаратного забезпечення для створення складної машини кінцевих станів. приклад: дизайн ASIC і FPGA.
- 3-ступеневий лічильник Джонсона використовується як 3-фазний генератор прямокутних хвиль, який створює фазовий зсув 1200.
- Він використовується для поділу частоти тактового сигналу шляхом зміни їх зворотного зв'язку.

РОЗДІЛ 2.

ФУНКЦІОНАЛЬНІ БЛОКИ ДЛЯ ВИКОНАННЯ ЛАБОРАТОРНИХ РОБІТ

2.1. Функціональний блок цифро-аналогового перетворювача

2.1.1. Схемотехніка та розрахунок компонентів блоку

Цифро-аналоговий перетворювач, який розробляється в данному дипломному проєкті, побудований на основі матриці резисторів R-2R, у значній мірі позбавлений недоліків на основі "зважуючих" резисторів. Опори резисторів відрізняються у 2 рази і схема організована як регулярно повторювана структура.

Головною характеристикою цифро-аналогового перетворювача є його роздільна здатність, яка визначається кількістю розрядів N двійкового коду який надходить на його вхід.

Теоретично цифро-аналоговий перетворювач, який перетворює N-розрядні двійковий код, повинен забезпечити 2^N різних значень вихідного сигналу з роздільною здатністю

$1/(2^N-1)$ напруги чи струму. Абсолютне значення мінімального вихідного кванта напруги визначається як граничним приймальним числом $1//(2^N-1)$, так і значенням напруги опорного джерела живлення ЦАП.

Використання матриці R-2R дозволяє реалізувати багаторозрядні цифро-аналогові перетворювачі з числом розрядів до 16.

Струм, що протікає від джерела опорної напруги U_0 до „землі”, визначається з

$$I_{on} = \frac{U_{on}}{R_{вниз}} = \frac{U_{on}}{R}.$$

Якщо пронумерувати вузли знизу вверх від 0 до 3, тоді струми в вузлах:

$$I_3 = I_{on}/2^1, \quad I_2 = I_{on}/2^2, \quad I_1 = I_{on}/2^3, \quad I_0 = I_{on}/2^4$$

Тобто виконується формула

$$U_{вих} = I_R R_{33} = R_{33}(I_3 K_3 + I_2 K_2 + I_1 K_1 + I_0 K_0) =$$
$$= R_{33}(\frac{I_{оп}}{2^1} K_3 + \frac{I_{оп}}{2^2} K_2 + \frac{I_{оп}}{2^3} K_1 + \frac{I_{оп}}{2^4} K_0),$$

де K_i визначає положення відповідного перемикача, що керується певним розрядом вхідного двійкового коду.

Але

$$I_{оп} = \frac{U_{оп}}{R},$$

$$U_{вих} = R_{33} \cdot \frac{U_{оп}}{R}(\frac{K_3}{2^1} + \frac{K_2}{2^2} + \frac{K_1}{2^3} + \frac{K_0}{2^4}) =$$
$$= \frac{U_{оп}}{2^4} \frac{R_{33}}{R}(2^3 K_3 + 2^2 K_2 + 2^1 K_1 + 2^0 K_0) =$$
$$= \frac{U_{оп} \cdot R_{33}}{2^4 \cdot R} \sum_{i=0}^{3} 2^i K_i.$$

У загальному випадку

$$U_{вих} = \frac{U_{оп} R_{33}}{2^n R} \sum_{i=0}^{n-1} 2^i K_i, \qquad \Delta U = \frac{U_{оп} \cdot R_{33}}{2^n \cdot R}.$$

Для нашого випадку, оскільки *Rзз = R*

$$U_{вих} = \frac{U_{оп}}{2^n} \sum_{i=0}^{k-1} 2^i K_i,$$

звідки

$$\Delta U = \frac{U_{оп}}{2^n}.$$

На рис.можна побачити загальнопринципову схему цифро-аналогового перетворювача на матриці R-2R.

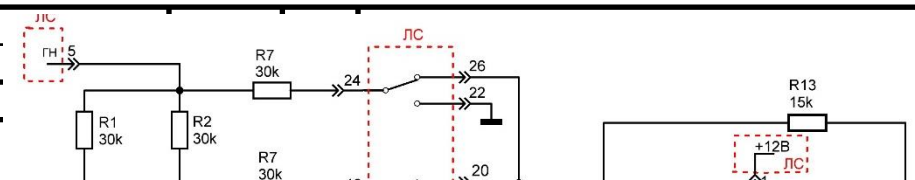


Рис.2.1. Загальнопринципова схема ЦАП на матриці R-2R.

Виходячи з принципу роботи даної схеми цифро-аналогового перетворювача і лабораторного стенду навантаження на регулюємий генератор напруги повинен бути не більше 200 мА при напрузі живлення по модулю 9В.

$$|U_{ж}| \leq 9 \text{ В}$$

Для функціонального блоку цифро-аналогового перетворювача я взяла операційний підсилювач КР140УД608.Він має широкого застосування з внутрішньою частотною корекцією, захистом виходу від короткого замикання та можливістю балансування. КР140УД608 містить вхідний диференціальний повторювач на "супербетта" транзисторах, що дозволяє зменшити вхідні струми. Він має середню точніть з високим посиленням та малий вхідний струм. Вигляд та структурну схему показано на рис.2.2.

Вихідний струм операційного підсилювача згідно операційного згідно його характеристики, яку ми бачимо з табл.2.1. , не повинен бути більше 25 мА.

$$I_{\text{вих}} \leq 25 \text{ мА}$$

Рис. 2.2. Вигляд операційного підсилювача КР140УД608 та структурна схема.

Напруга живлення (ном.)	±15В
Напруга живлення (доп.)	±5..±18В
Струм споживання	±2,8мА
Максимальна вихідна напруга	±11В
Максимальна синфазна вхідна напруга	11В
Максимальна вхідна дифференційнанапруга	30В
Напруга зміщення нуля	±5мВ
Вхідний струм	30нА
Коефіцієнтпідсиленнянапруги	>70000
Коефіцієнт ослаблення синфазних вхідних напруг	> 80дБ
Вхідний опір	> 1Мом
Частота одиночного підсилення	1МГц
Швидкість нарощування	>2,5В/мкС
Максимальнийвихідний струм	25мА
Температурний діапазон	-20..+70^{o}С
Корпус	2101.8-1 (DIP-8)
Аналоги	MC1456G

Табл. 2.1. Технічні характеристики операційного підсилювача КР140УД608

Матриця R-2R розраховується в умовах

$$\frac{U_{\text{оп}}}{200\ \text{мА}} = \frac{9}{200 \times 10^{-3}} = 4{,}5\ \text{кОм}$$

Опір на вихід операційного підсилювача при цьому буде складати:

$$\frac{U_{\text{оп}}}{I_{\text{вих}}} = \frac{9\ \text{В}}{2{,}5\ \text{мА}} = 3600\ \text{Ом}$$

Отже, номінали резисторів для цифро-аналогового перетворювача $R_1 - R_{12}$вибираємо з номінального ряда, які становлять 30 кОм.

Виходячи з нашої схеми цифро-аналогового перетворювача паралельне з'єднання резисторів дозволяє отримати загальний опір 15 кОм, що забезпечує умови матриці R-2R.

$$R_{\text{загал}} = 15\ \text{кОм}$$

Резистор R_{13}відповідно умови побудови цифро-аналогового перетворювача беремо 15 кОм.

Використання $R_{14} = 100$ кОм забеспечує умову:

$$R_{\text{н.вих}} = \frac{R_{13} \times R_{14}}{R_{13} + R_{14}} = \frac{15\ \text{кОм} \times 100\ \text{кОм}}{15\ \text{кОм} + 100\ \text{кОм}} = 13\ \text{кОм}$$

Звідси випливає, що значення$R_{\text{н.вих}}$= 13 кОм більше ніж опір на виході операційного підсилювача, який рівний 3,6 кОм. Це повністю задовольняє схемі цифро-аналогового перетворювача.

Схему цифрового перетворювача на матриці показано на рис.2.1.1.1., на якій ми бачимо, що R1-12 = 30 kОм, R13=15k Ом, R14=100 kОм

Точність цифро-аналогового перетворювача визначається значенням абсолютної похибки приладу, нелінійністю й диференційною нелінійністю.

Після того як були проведенні розрахунки компонентів схеми функціонального блоку цифро-аналогового перетворювача треба зробити не мало важливий крок. Це спроектувати друковану плату цього пристрою.

Sprint Layout - це програма, яка дозволяє "вручну" проектувати та розводити друковані плати малої та середньої важкості.

За допомогою програмного забезпечення Sprint Layout я спроектувала друковану плату функціонального блоку цифро-аналогового перетворювача. Це можна побачити на рис. 2.1.1.3.

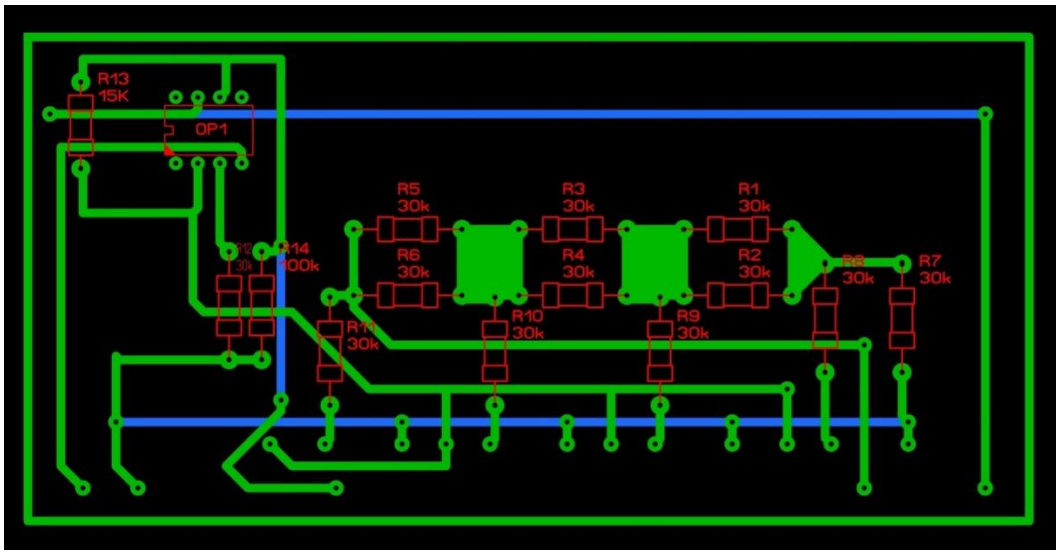


Рис. 2.3. Вигляд друкованої плати функціонального блоку цифро-аналогового перетворювач

2.1.2. Методичні рекомендації для виконання лабораторних робіт: «Дослідження перетворення сигналів за допомогою цифро-аналогового перетворювача на матриці R-2R».

Мета роботи: навчитись досліджувати перетворення сигналів за допомогою цифро-аналогового перетворювача, побудованого на матриці R-2R.

Цифро-аналоговий перетворювач – це зазвичай пристрій, якійперетворює двійковий код в аналоговий сигнал.

В основному цифро-аналоговий перетворювач характеризується такими параметрами: число розрядів вхідного цифрового слова, роздільна здатність, погрішності перетворення, діапазон вихідних сигналів, динамічні параметри.

Число розрядів n вхідного слова для різних типів цифро-аналогового перетворювача складає порядка від восьми до вісімнадцяти. Вони визначають максимальну кількість кодових комбінацій на вході цифро-аналогового перетворювача, рівну 2n .

Роздільна здатність h характеризується мінімальним діапазоном вихідної напруги, що відповідає зміні вхідного слова на одиницю молодшого розряду.

Абсолютна погрішність перетворення δа – відхилення вихідної напруги від розрахункового в кінцевій точці характеристики перетворення. Типова погрішність цифро-аналогового перетворювача не перевищує ± 1/2 молодшого розряду.

Нелінійність δл – це максимальне відхилення реальної характеристики перетворення від теоретичної (прямої лінії, що сполучає точку нуля і мінімального вихідного сигналу).

Диференціальна нелінійність δлд - максимальне відхилення різниці двох аналогових сигналів сусідніх кодів від значення молодшого розряду. Параметри δа, δл і δлд виражаються в частках молодшого розряду або у відсотках від повної шкали вихідної напруги.

Час встановлення tуст – інтервал часу від подачі вхідного коду до моменту досягнення вихідним сигналом сталого значення із заданою погрішністю (звичайно ±1/2 молодшого розряду). Цей час визначає загальну швидкодію ЦАП.

В інтегральній мікросхемі цифро-аналоговий перетворювач, як правило, являють собою резистивні матриці, елементи яких мають співвідношення опорів дільника напруги R–2R–4R–8R–16R і т.д. Їх застосовують доволі рідко, бо технологічно важко виконувати точні значення великих опорів, що відповідають старшим розрядам. Також використовують співвідношення опорів дільника струмів R–2R.

Матриця R - 2R, показана на рис. 1.4. містить елементи тільки двох номіналів: R і 2R. Один резистор має базове значення «R», а другий резистор має вдвічі більше значення першого резистора, «2R», незалежно від того, скільки бітів використовується для створення схеми.

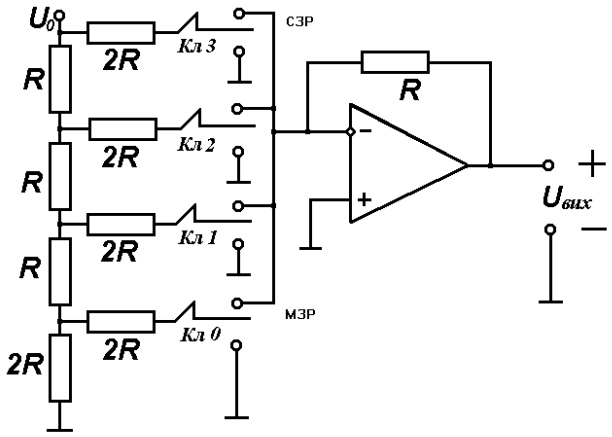


Рис. 2.4. Резистивна матриця *R — 2R*

Принцип організації резистивної матриці R-2R полягає в тому, що вхідний опір щодо розрядних вузлів матриці завжди дорівнює R.

Струм, що протікає від джерела опорної напруги U_0 до „землі”, визначається з

$$I_{оп} = \frac{U_{оп}}{R_{вниз}} = \frac{U_{оп}}{R}.$$

Якщо пронумерувати вузли знизу вверх від 0 до 3, тоді струми в вузлах:

$$I_3 = I_{оп}/2^1, \quad I_2 = I_{оп}/2^2, \quad I_1 = I_{оп}/2^3, \quad I_0 = I_{оп}/2^4$$

Тобто виконується формула

$$U_{вих} = I_R R_{33} = R_{33}(I_3 K_3 + I_2 K_2 + I_1 K_1 + I_0 K_0) =$$
$$= R_{33}(\frac{I_{оп}}{2^1} K_3 + \frac{I_{оп}}{2^2} K_2 + \frac{I_{оп}}{2^3} K_1 + \frac{I_{оп}}{2^4} K_0),$$

де K_i визначає положення відповідного перемикача, що керується певним розрядом вхідного двійкового коду.

Але $I_{оп} = \frac{U_{оп}}{R}$,

$$U_{вих} = R_{33} \cdot \frac{U_{оп}}{R}(\frac{K_3}{2^1} + \frac{K_2}{2^2} + \frac{K_1}{2^3} + \frac{K_0}{2^4}) =$$
$$= \frac{U_{оп}}{2^4} \frac{R_{33}}{R}(2^3 K_3 + 2^2 K_2 + 2^1 K_1 + 2^0 K_0) =$$
$$= \frac{U_{оп} \cdot R_{33}}{2^4 \cdot R} \sum_{i=0}^{3} 2^i K_i.$$

У загальному випадку

$$U_{вих} = \frac{U_{оп} R_{33}}{2^n R} \sum_{i=0}^{n-1} 2^i K_i, \qquad \Delta U = \frac{U_{оп} \cdot R_{33}}{2^n \cdot R}.$$

Для нашого випадку, оскільки *Rзз = R*

$$U_{вих} = \frac{U_{оп}}{2^n} \sum_{i=0}^{k-1} 2^i K_i,$$

звідки

$$\Delta U = \frac{U_{оп}}{2^n}.$$

Відмінність реального значення роздільної здатності від теоретичного зумовлена похибками вузлів і шумами ЦАП.

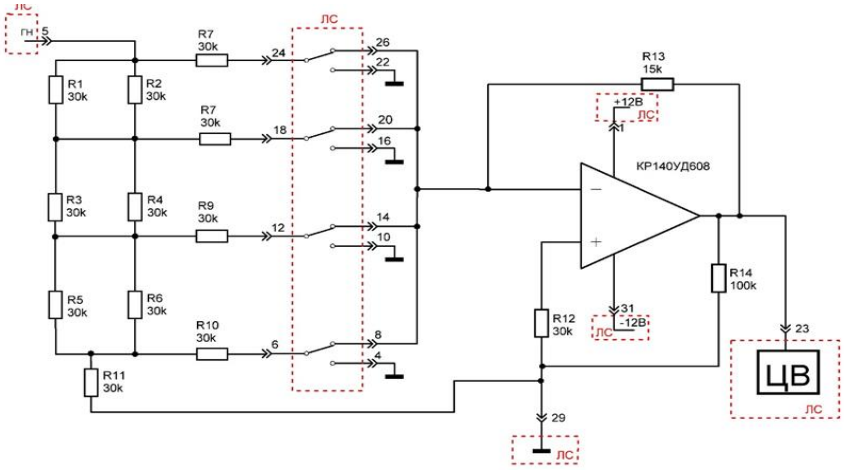
Точність ЦАП визначається значенням абсолютної похибки приладу, нелінійністю й диференційною нелінійністю.

ПОРЯДОК ВИКОНАННЯ РОБОТИ

1. Ознайомитися з темою, метою та описом лабораторної роботи.

2.Ознайомитися з функціональним блоком цифро-аналогового перетворювача.

3. Замолювати схему досліджуваного функціонального блоку.



4. Під’єднати досліджуваний блок до вимірювального стенду.

5. За допомогою лабораторного стенду виміряти $U_{\text{вих}}$. Записати значення при трьох значень опорної напруги при всіх значень 1 та 0 на входах цифро-аналогового перетворювача.

6. Записати таблицю станів.

7. Визначити роздільну здатність цифро-аналогового перетворювача при трьох значеннях опорної напруги.

8. Побудувати графіки залежності $U_{\text{вих}}$ від вхідного коду.

9. З графіку визначити абсолютну похибку та нелінійність приладу. Побудувати графіки залежностей похибок від значення опорної напруги.

КОНТРОЛЬНІ ЗАПИТАННЯ

1. Яке визначення цифро-аналогового перетворювача?

2. Якими параметрами характеризується цифро-аналоговий перетворювач?

3. Принцип організації резистивної матриці R-2R?

4. Чому рідко використовуються резистивні матриці з елементами R-2R-4R-8R-16R?

5. Чим визначається точність цифро-аналогового перетворювача?

2.2. Функціональний блок регістр-лічильникДжонсона

2.2.1. Схемотехніка та розрахунок компонентів блоку регістр-лічильник Джонсона

Як основу для функціонального блоку регістр-лічильник Джонсона я взяла мікросхему К561ТМ3. Вона складається з чотирьох D-тригерах кожний з яких має свій вхід D та два виходиQй Q'. Також має спільний вхід тактового імпульсу С. Крім того, міститься спільний вхід перемикача полярності Р. Якщо на вході Р низький рівень інформація від входу Dз'явиться на виході під час низького рівня тактового імпульсуС. Якщо ж буде спостерігатися високий рівень, то передача буде мати місця при високих рівнях на вході С.

На рис. 2.5. ми можемо побачити мікросхему з чотирьох D-тригерах К561ТМ3:

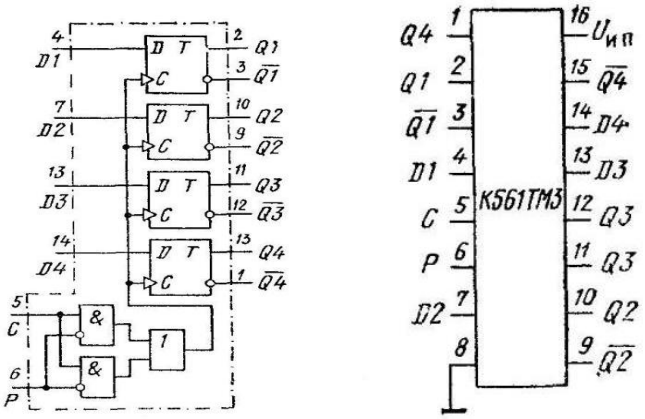


Рис.2.5.Мікросхема з чотирьох D-тригерах К561ТМ3:

а)- структурна схема К561ТМ3; б)- цоколівка К561ТМ3.

Якщо на вході спостерігається перепад (позитивний при Р=О і негативний при Р=1), інформація, присутня під час цього перепаду на вході D, затримується до приходу тактового імпульсу протилежної полярності. Сигнали управління кожним тригером К561ТМ3 зведені в таблицю 2.2.:

Вхід		Вихід Q
С	Р	
0	0	трансляция D
⎍	0	фіксація D
1	1	трансляція D
⎍	1	фіксація D

Таблиця 2.2.Сигнали управління тригерами мікросхеми К561ТМ3

Тривалість тактового імпульсу має перевищувати 120 нс, час зберігання стану тригера, також понад 120 нс.

Зарубіжним аналогом мікросхеми К561ТМ3 є мікросхема CD4042A

Графічне зображення мікросхеми К561ТМ3 можемо побачити на рис. 2.6.:

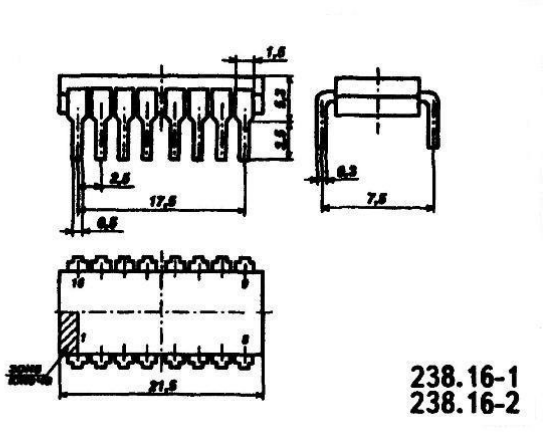


Рис. 2.6. Вигляд та графічне зображення мікросхеми К561ТМ3.

Загально принципову схему функціонального блоку регістр-лічильник можна побачити на рис. 2.7.:

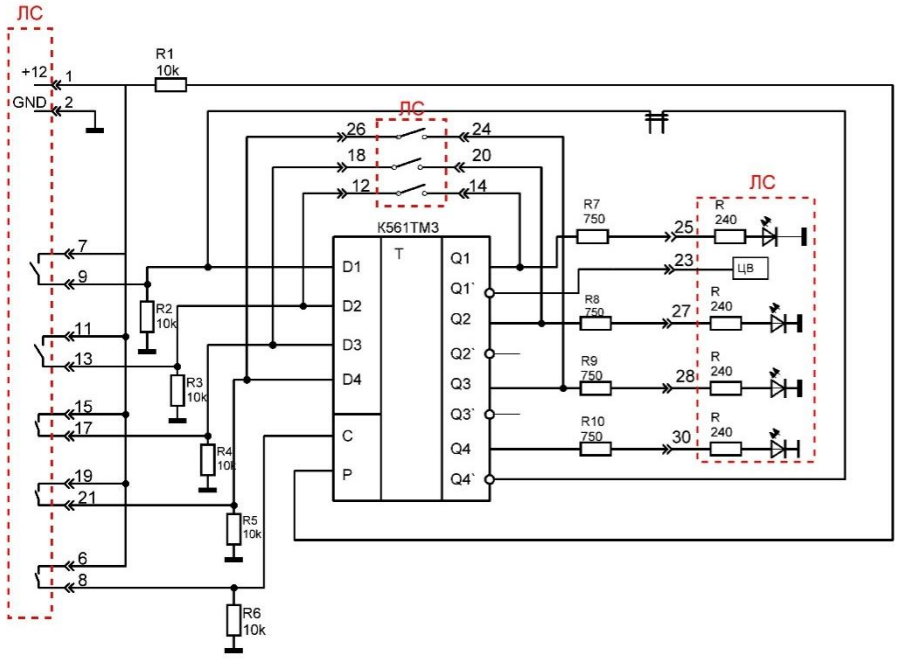


Рис.2.7. Загально принципова схема функціонального блоку регістр-лічильник

Компоненти даної схеми розраховувались відповідно до максимального вихідного струму генератора постійної напруги та лабораторного стенду.

$$I_{max\text{вих}} = 300 \text{ мА}$$

Також для мікросхем серії К561, які побудовані за КМОН технології для забезпечення номінальних значень вхідних струмів рекомендується на входи використовувати опори номіналом 5-20 кОм. Які забезпечують мінімальні шумові характеристики роботи даних мікросхем.

Через R_1 при замиканні ключа проходить струм:

$$I = \frac{U}{R} = \frac{12 \text{ В}}{10 \text{ кОм}} = 1{,}2 \text{ мА}$$

В сумі через резистор R_1 будуть проходити резистори $R_2 - R_5$, які рівні 6 млВ.

Індикація лабораторного стенду забезпечена світлодіодами з номінальним струмом 5-15 млА з спадом напруги на них 2,5 В. Отже на резисторах обмежувача струму для світлодіодів повинен бути спад напруги 9,5 В при струмі 10 млА.

Це було знайдено згідно умови:

$$U_{спад} = I_{світлдіод.} - U_{спад.світлодіод.} = 12 - 2{,}5 = 9{,}5\ В$$

Отже

$$0{,}95 \times 10^3 \approx 1\ кОм$$

З характеристики лабораторного стенду ми знаємо, що резистори мають значення 240 Ом

Отже резистори функціонального блоку регістр-лічильник $R_6 - R_5$ повинно мати значення:

$$1000 - 240 = 760\ Ом$$

З номінального ряду вибираємо резистор 750 Ом.

Після того як були проведенні розрахунки компонентів схеми функціонального блоку регістр лічильник треба зробити не мало важливий крок. Це спроектувати друковану плату цього пристрою.

За допомогою програмного забезпечення Sprint Layout я спроектувала друковану плату функціонального блоку регістр-лічильник. Це можна побачити на рис. 2.8.:

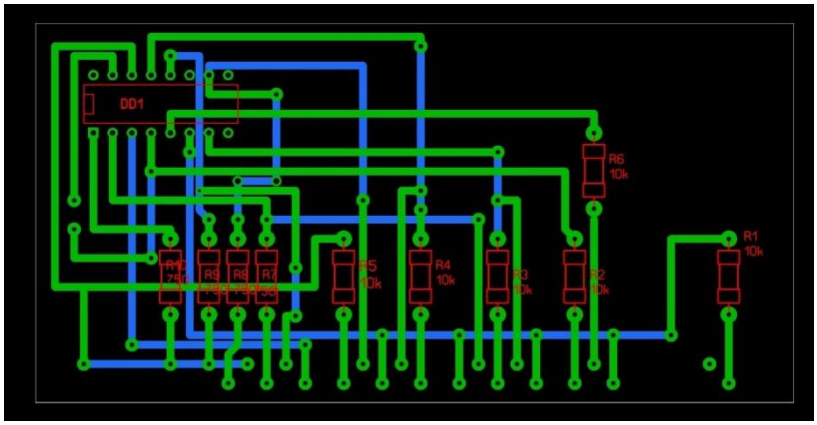


Рис. 2.8.Вигляд друкованої плату функціонального блоку регістр-лічильник

2.2.2. Методичні рекомендації
для виконання лабораторних робіт:
«Дослідження роботи регістра та лічильника Джонсона»

Мета роботи:ознайомитисьта дослідити роботу регістрів та лічильника Джонсона на мікросхемі К561ТМ3.

Теоретичні вказівки

Мікросхема К561ТМ3складається з чотирьох D-тригерах кожний з яких має свій вхід D та два виходи Q й Q'. Також має спільний вхід тактового імпульсу С. Крім того, міститься спільний вхід перемикача полярності Р. Якщо на вході Р низький рівень інформація від входу D з'явиться на виході під час низького рівня тактового імпульсу С. Якщо ж буде спостерігатися високий рівень, то передача буде мати місця при високих рівнях на вході С.

На рис. 2.9. ми можемо побачити мікросхему з чотирьох D-тригерах К561ТМ3:

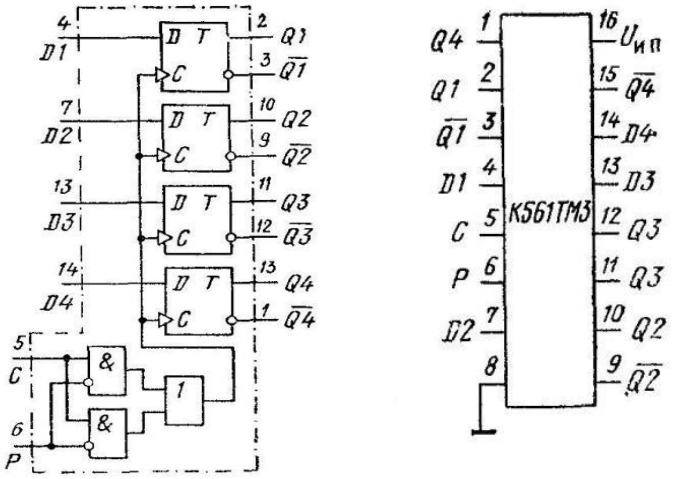


Рис.2.9.Мікросхема з чотирьох D-тригерах К561ТМ3

Регістр являє собою форму пам’яті, яка використовує серію тригерів для зберігання окремих бітів двійкового слова , наприклад байта (8 бітів) даних. На відміну від пристроїв довготривалої пам'яті в регістрах інформація запам'ятовується короткочасно. Довжина збереженого двійкового слова залежить від кількості тригерів, які складають регістр.

Регістри призначені для запису, зберігання і читання одного двійкового числа або іншої кодової комбінації. Крім цих основних операцій регістри виконують додаткові операції: інвертування коду, скидання в нульовий стан, перетворення послідовного коду в паралельний і навпаки.

Залежно від способу запису інформації регістри розділяють на 3 типи:

- регістри паралельного типу (без зсуву);
- регістри послідовного типу (із зсувом);
- комбіновані регістри.

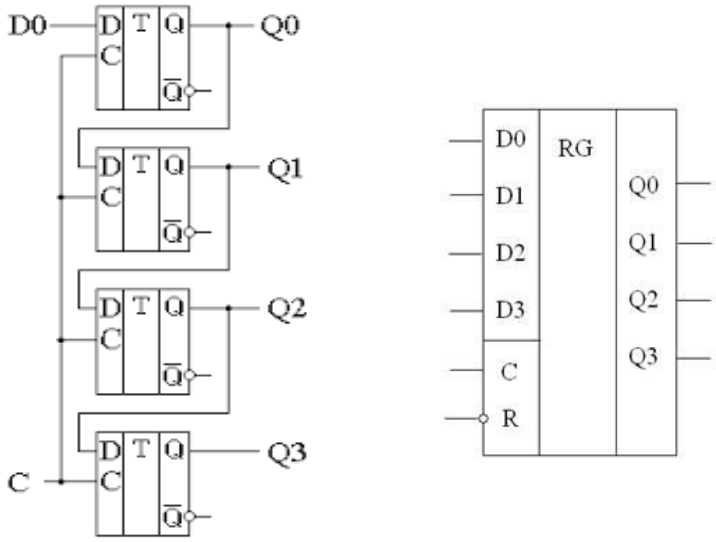


Рис.1.10. Структурна схема регістра

Регістр , який використовує паралельний вхід і генерує паралельний вихід, відомий як паралельний регістр.

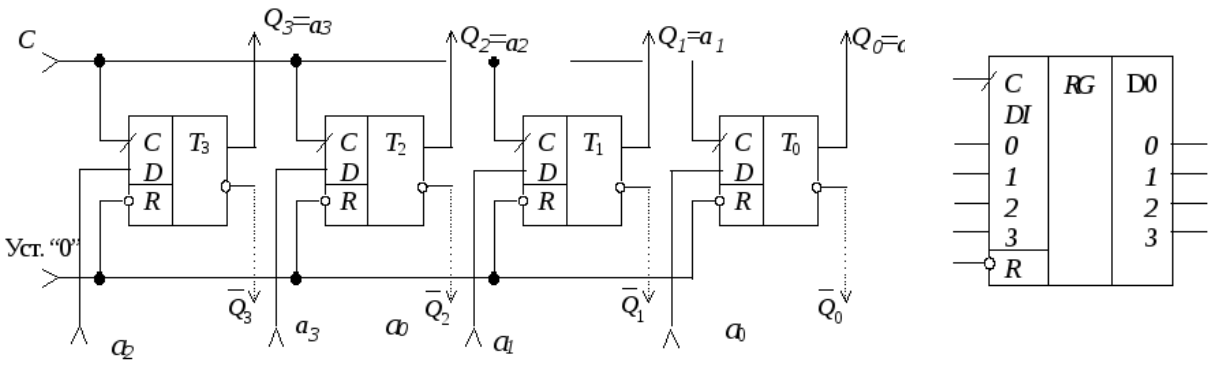


Рис. 1.11. Паралельний регістр (Paralel-inParalel-out, PIPO)

Регістри,інформаціязякихприймаєтьсяівиводитьсяпослідовноназиваютьсяпослідовними.Їх ще також називають регістрами зсуву.

Зсув — це синхронізоване переміщення двійкового слова в просторі розрядної сітки зі збереженням порядку передачі нулів і одиниць.

Мікрооперації зсуву використовуються командами множення, ділення та нормування. Також додатково здійснюється перетворення паралельного коду в послідовний і навпаки.

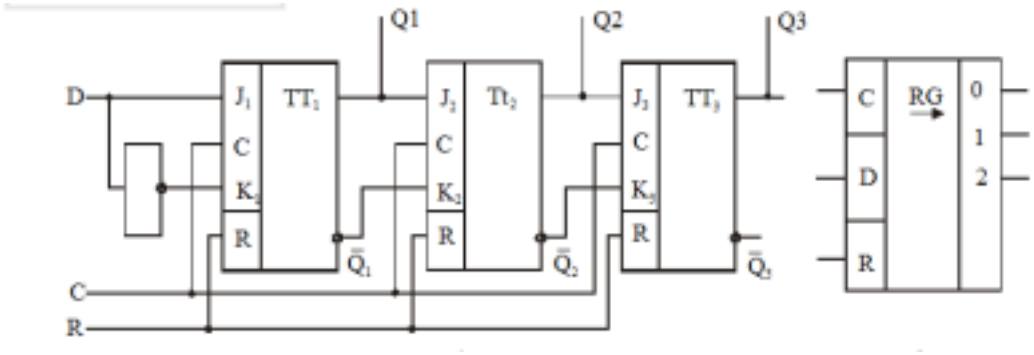


Рис. 1.12. Послідовні регістри або регістр зсуву (Serial-in Serial-out, SISO)

Послідовний вхід регістра зсуву на рис. 1.12. є входом D першого тригера, а послідовний вихід є виходом Q останнього тригера в ланцюзі. Логічний стан на послідовному вході з'являється на виході, кількість тактових імпульсів (рівна кількості тригерів) пізніше.

Лічильником називається типовий функціональний вузол комп’ютера, призначений для лічіння вхідних імпульсів. Лічильник являє собою зв’язане коло тригерів, які утворюють пам’ять із заданим числом сталих станів

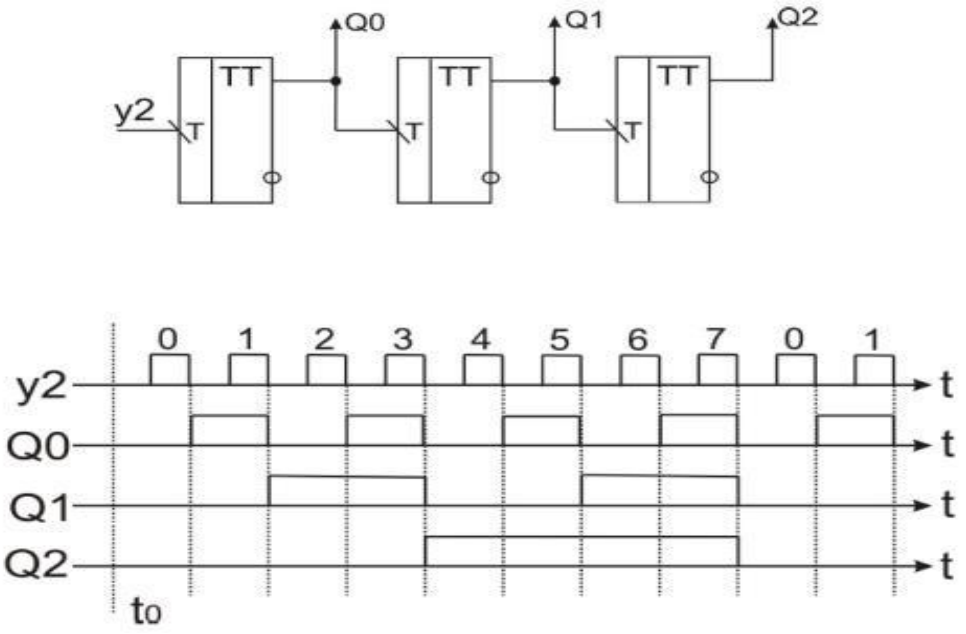


Рис.1.13. Схема двійкового лічильника та його часова діаграма роботи

Лічильник характеризується модулем і ємністю лічби. Модуль лічби визначає число станів лічильника. Модуль двійкового n-розрядного лічильника визначається цілим степенем двійки M=2n. Після лічіння числа імпульсів лічильник повертається в початковий стан. Таким чином, модуль лічби, який часто називають коефіцієнтом перерахунку, визначає цикл роботи лічильника, після чого його стан повторюється.

Точно так, як і в регістрах, за внутрішню пам'ять лічильників відповідає оперативна пам’ять, це означає, що вміст зберігання тільки до того моменту, поки вмикається живлення схеми. Коли воно ввимкненно пам'ять стирається, а коли підь’єднується нове живлення вміст пам'яті буде довільним, випадковим, залежним тільки від одної мікросхеми.

Лічильник Джонсона - це кільцевий лічильник з інверсією.Він за своєю схемотехнікою має схожість з лічильником Рінга. Єдина відмінність між лічильником Джонсона та кільцевим лічильником полягає в тому, що результат останнього тригера передається до першого тригера як вхід.Його ще також називають повзучим лічильником .

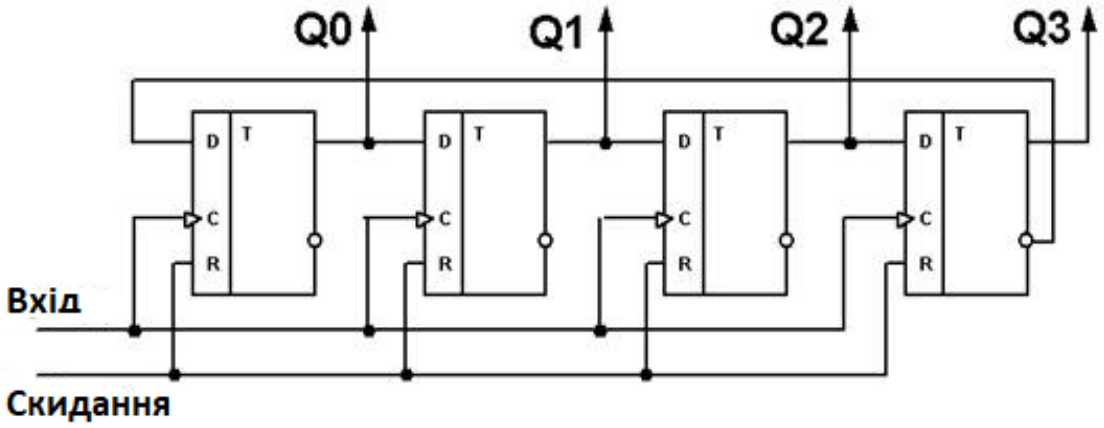


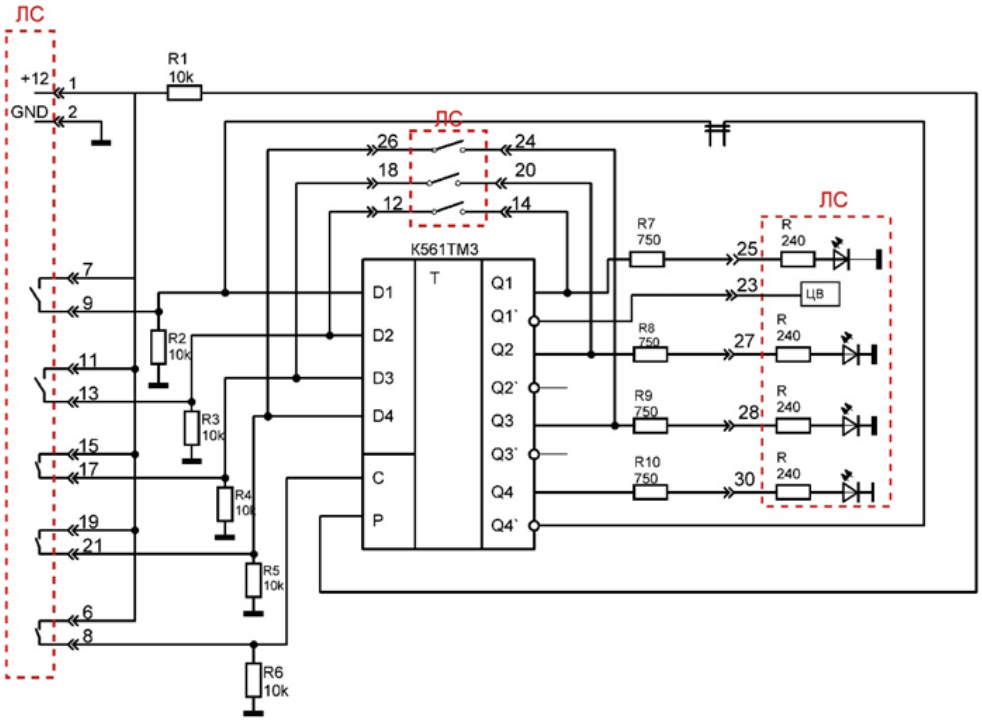
Рис.1.14. Лічильник Джонсона

Лічильник Джонсона має коефіцієнт перерахунку, удвічі більший від числа його тригерів. Зокрема, якщо лічильник складається з трьох тригерів (m=3), він матиме шість стійких станів. Лічильник Джонсона використовується в системах автоматики як розподільники імпульсів.

Для побудови лічильника Джонсона достатньо з'єднати інверсний вихід останнього тригера регістра (останнього розряду) з входом D (з входом, призначеним для введення послідовної інформації) першого тригера.

ПОРЯДОК ВИКОНАННЯ РОБОТИ

1. Ознайомитися з темою та метою лабораторної роботи.
2. Ознайомитись та дослідити роботу мікросхемою К561ТМ3.
3. Намалювати схему досліджуваного функціонального блоку регістр лічильник.



4. Ознайомитися та дослідити роботу регістра в режимі ведення інформації з

паралельним словом.

5. Ознайомитися та дослідити роботу регістра в режимі ведення інформації з

послідовним словом із зсувом на 1.

6. Під’єднати до лабораторного стенду осцилограф.

7. Зняти та зарисуватиосцилограми на вході лічильника, виходах Q1 та Q2 для двох значень опорів у колі мультивібратора при двох значеннях напруг живлення.

КОНТРОЛЬНІ ЗАПИТАННЯ

1. З чого складається мікросхема К561ТМ3?
2. Що собою являє регістр?
3. За якими типами поділяються регістри?

4. Які регістри називають паралельними?
5. Які регістри називають послідовними?
6. Що таке зсув?
7. Які мікрооперації здійснюються зсувом?
8. Що називають лічильником?
9. Чим характеризується лічильник?
10. Яке визначення лічильника Джонсона?

2.3. Економічні розрахунки

При розрахунках та праектуванніфункціонального блоку важливу роль відіграє техніко-економічна оцінка приладу. Враховуючи важливість розробки, необхідно провести економічні розрахунки. В цьому розділі визначимо собівартість функціональних блоків цифро-аналогового перетворювача та регістр-лічильник. Вартість будь якого радіоелектронного виробу залежитиме від вартості матеріалів, обладнання та затрат праці на виготовлення деталей.

В таблиці 2.3. розраховано витрати на матеріал та сировину що були необхідні для розробки функціональних блоків для виконання лабораторних робіт. В результаті було вирахувано що на один функціональний блок необхідно матеріалу та сировини на 42 грн 50 коп.

Назва	Розмір, мм	Кількість, шт/г	Ціна за одиницю, грн	Сумма, грн
ТекстолітFR4	1,5*100*150	2	30	60
Припій		50	5	10
Флюс		50	5	10
Провід		50	2,5	5
Всього			42,5	85

Табл. 2.3. Витрати на матеріал та сировину

В таблиці 2.4. розраховано витрати на комплектуючі елементи для функціональних блоків цифро-аналогового перетворювача та регістр-лічильник.

Назва,тип	**Кількість,шт**	**Ціна за одиницю, грн**	**Сумма, грн**
Мікросхеми			
К561ТМ3	1	40	40
Операційний підсилювач			
КР140УД608	1	15	15
Резистори			
МЛТ-750Ом	4	1	4
МЛТ-10кОм	6	2	12
МЛТ-15кОм	1	2,5	2,5
МЛТ-30кОм	12	3	36
МЛТ-100кОм	1	5	5
Всього		13,5	59,5

Табл.2.4. Розрахунок витрат на комплектуючі елементи

В результаті розрахунку витрат на комплектуючі елементи я з’ясувала, що для розробки функціональних блоків: цифро-аналогового перетворювача витратила 16 грн, а для регістра-лічильника43 грн 50 коп.

Якщо скласти витрати на матеріали і сировину та на комплектуючі елементи разом для закупівлі необхідно 144 грн 50 коп.

Висновки

В даному дипломному проекті було проведено:

1) Розробка функціональних блоків цифро-аналогового перетворювача та регістр-лічильник для виконання лабораторних робіт з курсу «Цифрова схемотехніка».

2) Проведений розрахунок компонентів функціональних блоків цифро-аналогового перетворювача та регістр-лічильник для лабораторного стенду з курсу «Цифрова схемотехніка». На основі розрахунків була складені електричні принципові схеми функціональних блоків. Слідом розроблені монтажні плати по них.

3) Написані методичні рекомендації для виконання лабораторних робіт по таким темам: **«**Дослідження перетворення сигналів за допомогою цифро-аналогового перетворювача на матриці R-2R», «Дослідження роботи регістра та лічильника Джонсона».

4) Проведені економічні розрахунки. В результаті яких було зясовано,що на один функціональний блок необхідно матеріалу та сировини на 42 грн 50 коп, на комплектуючі елементи для розробки функціональних блоків: цифро-аналогового перетворювача витратила 16 грн, а для регістра-лічильника 43 грн 50 коп. В загальному на розробку функціональних блоків цифро-аналогового перетворювача та регістра-лічильника вишла сумма на 144 грн 50 коп.