

**Міністерство освіти і науки України**  
**Чернівецький національний університет**  
**імені Юрія Федьковича**  
**Навчально-науковий інститут фізико-технічних та комп'ютерних наук**  
**Кафедра електроніки і енергетики**

**Пояснювальна записка до дипломного проекту**  
**Функціональні пристрої JK-тригер та суматор-віднімач до виконання**  
**лабораторних робіт з дисципліни “цифрова схемотехніка”**

Виконав:

студент 4 курсу, 432 групи  
спеціальності 153 – “Мікро- та  
наносистемна техніка”

Ковбель Олександр Володимирович

Керівник:

доц. Нічий Сергій Васильович

**До захисту допущено:**

**Протокол засідання кафедри № \_\_\_\_**

Від “ \_\_\_\_ ” \_\_\_\_\_ 2023 р.

зав. кафедри \_\_\_\_\_ проф. Майструк Е. В.

## Анотація

У дипломному проекті проведений розрахунок та побудова схем функціональних пристроїв до лабораторних робіт з дисципліни “Цифрова схемотехніка”.

Проведений розрахунок необхідних компонентів та побудовані схеми для функціональних пристроїв JK-тригера та суматора-віднімача, оформлено методичні рекомендації до виконання лабораторних робіт а також було проведено оцінку кошторису проекту.

Дипломний проект містить 2 розділи, список рекомендованої літератури та додаток. Він написаний українською мовою та містить: 50 сторінок, 22 рисунків, 11 таблиць, список використаної літератури, а також 2 аркуша формату А1 графічних креслень.

					<b>ДП 153.432.4 ПЗ</b>			
Зм.	Арк.	№ докум.	підпис					
Розроб.	Ковбель					Літ.	Арк.	Аркушів
Перевір.	Нічий						2	50
Реценз.						ЧНУ 432 гр.		
Н. Контр.	Андрущак							
Затверд.	Нічий							

## ЗМІСТ

ВСТУП.....	5
<b>РОЗДІЛ 1. АРИФМЕТИЧНІ ТА ТРИГЕРНІ ПРИСТРОЇ ЦИФРОВОЇ ЕЛЕКТРОНІКИ.....</b>	<b>6</b>
1.1. Алгоритми виконання арифметичних операцій в пристроях цифрової електроніки.....	6
1.1.1. Коды представлення цифрових даних.....	6
1.1.2. Приклади алгоритмів виконання арифметичних операцій в оберненому та додатковому коді.....	8
1.2. Двійкові суматори.....	12
1.2.1. Принцип роботи суматора.....	12
1.2.2. Синтез пристрою сумування.....	14
1.2.3. Типи багаторозрядних суматорів.....	16
1.3. Пристрої віднімання.....	18
1.3.1. Алгоритм роботи пристроїв віднімання.....	18
1.3.2. Схемотехніка пристроїв віднімання.....	19
1.4. Тригерні пристрої цифрової електроніки.....	20
1.4.1. RS- тригер.....	20
1.4.2. JK-тригер.....	24
<b>РОЗДІЛ 2. РОЗРОБКА ФУНКЦІОНАЛЬНИХ ПРИСТРОЇВ ДЛЯ ЛАБОРАТОРНИХ РОБІТ.....</b>	<b>27</b>
2.1. Пристрій для дослідження роботи суматора-віднімача.....	27
2.1.1. Проектування функціонального пристрою.....	27
2.1.2. Методичні рекомендації до виконання лабораторної роботи “Дослідження роботи суматорів та пристроїв віднімання”.....	30
2.2. Пристрій для дослідження роботи JK-тригера.....	34
2.2.1. Проектування функціонального пристрою.....	34

<b>2.2.2. Методичні рекомендації до виконання лабораторної роботи</b>	
“Дослідження роботи інтегральних тригерів”.....	38
<b>2.3. Економічні розрахунки.....</b>	<b>42</b>
<b>ВИСНОВКИ.....</b>	<b>45</b>
<b>ЛІТЕРАТУРА.....</b>	<b>46</b>
<b>ДОДАТОК А. ТЕХНІКА БЕЗПЕКИ.....</b>	<b>48</b>

					<b>ДП 153.432.4 ПЗ</b>	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		4

## ВСТУП

Сьогодні цифрові мікросхеми за своїм значенням займають особливе місце. Вони використовуються у складі як побутових, так і промислових пристроїв, наприклад у пристроях керування, телезв'язку, комп'ютерах. Важко знайти сьогодні сферу людського життя, де б не використовувалися цифрові мікросхеми. Тому фахівці з їх розроблення і експлуатації необхідні сьогодні й будуть потрібні у подальшому.

Переваги цифрових пристроїв та систем в порівнянні з аналоговими є в їхній підвищеній завадостійкості в системах передачі даних, вони характеризуються високою надійністю, можливістю довгочасно зберігати інформацію без її втрати, економічною та енергетичною ефективністю. Більшість сучасних систем автоматики, обчислювальні системи, системи передачі і обробки інформації виконуються на пристроях цифрової техніки або цілком, або частково. Тому знання принципів будови, функціонування та застосування базових цифрових пристроїв і побудови на їх основі систем різного призначення має актуальне значення і велику практичну цінність для підготовки фахівців в інженерній діяльності, а також в прикладних конструкторських розробках.

Тому метою даної роботи є розробка функціональних пристроїв JK-тригера та суматора-віднімача до лабораторних робіт з дисципліни “Цифрова схемотехніка” та методичних рекомендацій по відповідних лабораторних роботах.

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		5

# РОЗДІЛ 1. АРИФМЕТИЧНІ ТА ТРИГЕРНІ ПРИСТРОЇ ЦИФРОВОЇ ЕЛЕКТРОНІКИ

## 1.1. Алгоритми виконання арифметичних операцій в пристрої цифрової електроніки

### 1.1.1. Коди представлення цифрових даних

У цифровій схемотехніці система числення - це набір правил і методів для представлення чисел за допомогою цифрових символів. Системи числення можуть бути поділені на дві категорії: позиційні та непозиційні.

У цифровій схемотехніці існують непозиційні та позиційні системи числення. Непозиційна система числення - це система, у якій значення символу не залежить від його розташування у числі. Непозиційні системи числення виникли та використовувались раніше ніж позиційні системи.

Якщо наводити приклад непозиційної системи числення, яка зберіглася до нашого часу, є римська система числення. Там число подається у вигляді послідовного ряду, що складається з символів. Наприклад, число 20 подається двома символами XX, де X у будь-якому місці означає 10.

В цифровій схемотехніці, позиційна система числення - це система, в якій значення символу залежить від його розташування у ряду цифр, що відображає число. Кожен символ у числовому записі має свою позицію, яка відповідає конкретному розряду. Використання позиційних систем є більш зручним для виконання операцій та широко використовується в цифровій схемотехніці.

При вивченні позиційних систем числення, ключовим є поняття базису. Базис системи числення - це послідовність чисел, яка визначає вагу кожної цифри в залежності від її місця у записі числа.

Приклади базисів деяких систем числення:

- десяткової –  $10^0, 10^1, 10^2, \dots, 10^n, \dots$ ;
- двійкової –  $2^0, 2^1, 2^2, \dots, 2^n, \dots$ ;

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		6

- вісімкової –  $8^0, 8^1, 8^2, \dots, 8^n, \dots$ ;
- шістнадцяткової –  $16^0, 16^1, 16^2, \dots, 16^n, \dots$

Загалом, базис у позиційних системах числення можна представити у вигляді послідовних елементів геометричної прогресії:

$$\dots P^{-m}, \dots, P^{-2}, P^{-1}, P^0, P^1, P^2, \dots, P^n, \dots$$

Число  $P$  є базою (основою) системи числення. У майбутньому, при вивченні систем числення, основа буде позначатися нижнім індексом в кінці числа.

Алфавітом системи числення називається сукупність різних цифр, які використовуються для запису чисел у позиційній системі.

Приклади алфавітів деяких систем числення:

- десяткової – 0, 1, 2, 3, 4, 5, 6, 7, 8, 9;
- двійкової – 0, 1;
- вісімкової – 0, 1, 2, 3, 4, 5, 6, 7;
- шістнадцяткової - 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, A, B, C, D, E, F.

Також потрібно знати як робити переведення з десяткової системи і в десяткову систему числення. У таблицях 1.1 та 1.2 наведено метод переведення числа з десяткової системи числення та метод переведення числа у десяткову систему числення.

Таблиця 1.1

Метод переведення числа з десяткової системи числення

Тип перетворення	Десяткове на двійкове	Десяткове на вісімкове	Десяткове на шістнадцяткове
Ділення певного десяткового числа на $P$ (основу). Остача дає перетворене число, що читається з кінця.	$47:2 = \text{остача } 1$ $23:2 = \text{остача } 1$ $11:2 = \text{остача } 1$ $5:2 = \text{остача } 1$ $2:2 = \text{остача } 0$ $1:2 = \text{остача } 1$ $47_{(10)} = 101111_{(2)}$	$47:8 = \text{остача } 7$ $5:8 = \text{остача } 5$ $47_{(10)} = 57_{(8)}$	$47:16 = \text{остача } 15$ $2:16 = \text{остача } 2$ $47_{(10)} = 2F_{(16)}$

Таблиця 1.2

## Метод переведення числа у десяткову систему числення

Тип перетворення	Двійкове у десяткове	Вісімкове у десяткове	Шістнадцяткове у десяткове
Повторне множення проміжного результату на Р і додавання зі значенням розряду певного числа. Першим проміжним результатом є найвищий розряд	$101111_{(2)} = 1 \cdot 2^5 + 0 \cdot 2^4 + 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 32 + 0 + 8 + 4 + 2 + 1 = 47_{(10)}$	$57_{(8)} = 5 \cdot 8^1 + 7 \cdot 8^0 = 40 + 7 = 47_{(10)}$	$2F_{(16)} = 2 \cdot 16^1 + 15(F) \cdot 16^0 = 32 + 15 = 47_{(10)}$

### 1.1.2. Приклади алгоритмів виконання арифметичних операцій в оберненому та додатковому коді

Спочатку розглянемо трохи про двійкову арифметику. Арифметичні дії з однорозрядними двійковими числами дуже прості, але коли ми маємо справу з числами, що складаються з багатьох розрядів, то їх можна виконувати, використовуючи ті ж самі правила, що і в десятковій системі числення.

Таблиця 1.3

## Арифметичні дії з однорозрядними двійковими числами

Додавання	Віднімання
$0 + 0 = 0$	$0 - 0 = 0$
$0 + 1 = 1$	$1 - 0 = 1$
$1 + 0 = 1$	$1 - 1 = 0$
$1 + 1 = 10$ (перенесення 1)	$0 - 1 = 1$ (займання 1)

Для додавання двійкових чисел слід розташовувати їх у стовпчик, починаючи з молодшого розряду і при виконанні додавання потрібно уважно спостерігати за переносом в старший розряд, як показано у прикладі 1.



Для віднімання двійкових чисел використовують звичайне правило. При відніманні деколи виникає необхідність зайняти одиницю зі старшого розряду. Ця займана одиниця дорівнює двом одиницям молодшого розряду. Займання виконується кожен раз, коли цифра у розряді від'ємника більша, ніж у розряді зменшуваного (приклад 2).

Приклад 1	Приклад 2
$\begin{array}{r} 1001 \quad (9_{10}) \\ + \quad 0101 \quad (5_{10}) \\ \hline 1110 \quad (14_{10}) \end{array}$	$\begin{array}{r} 1001 \quad (9_{10}) \\ - \quad 0101 \quad (5_{10}) \\ \hline 0100 \quad (4_{10}) \end{array}$

Для виконання операцій додавання та віднімання двійкових чисел використовуються їх модулі, тобто значення чисел без знаку. Знак результату визначається окремо шляхом аналізу знаків доданків.

Для виконання арифметичних операцій з двійковими числами використовуються спеціальні машинні коди - прямий код, обернений код та додатковий код. Використання цих кодів дозволяє замінити операції віднімання операціями додавання, що спрощує побудову арифметико-логічних пристроїв.

Прямий код використовується для зберігання числа в пам'яті та передачі даних між цифровими пристроями.

Алгоритм виконання обчислень полягає в тому, що дані в прямому коді зчитуються з пам'яті, перетворюються, проводяться обчислення, результат перетворюється в прямий код і записується в пам'ять або передається.

Перший біт в прямому коді відповідає знаку числа: 0 - для додатніх чисел, 1 - для від'ємних. Решта бітів представляють значення числа у двійковому коді. Наприклад, числа 9 і -9 в прямому коді довжиною 5 біт будуть мати такий вигляд: 9 – 01001, -9 – 11001.

Прямий код має такий недолік, як неможливість виконання операцій віднімання та порівняння чисел зі знаком.

Обернений код - це система представлення чисел у бінарному вигляді, в якій для отримання оберненого коду числа спочатку необхідно записати його прямий код, а потім, якщо число від'ємне, інвертувати всі біти числа, окрім знакового.

Наприклад, для числа 9 (01001 в прямому коді) його обернений код буде 01001, а для числа -9 (11001 в прямому коді) – 10110.

Особливість – якщо появляється “1” переносу у старший відносно знакового розряду, то вона додається до найменшого розряду. Також є такий недолік, що у оберненому коді числа мають два подвійні нулі (наприклад, 00000 та 11111 в 5-бітній системі), що може призвести до неточностей під час додавання.

Також потрібно мати на увазі, що розрядність отриманої суми не повинно перевищувати розрядність оберненого коду. Наприклад, для 5-бітного числа, у якому 4 біти представляють значення числа, не можна допускати, щоб сума перевищувала число 31 (у десятковому вигляді).

Додатковий код – дуже поширений метод представлення від’ємних чисел у комп’ютерах, який дозволяє замість використання команди віднімання, використовувати команду додавання як для знакових, так і для беззнакових чисел.

Для отримання додаткового коду числа спочатку необхідно перевести число у прямий код, а потім інвертувати всі біти числа, крім знакового. Потім до отриманого значення додається одиниця до останнього розряду, що дає додатковий код числа. Якщо ж число додатне, то його додатковий код буде ідентичним до прямого коду.

Наприклад, для числа 9 (01001 в прямому коді) його додатковий код буде 01001, а для числа -9 (11001 в прямому коді) – 10111.

Тепер наведемо приклади додавання різних 5-розрядних (1 знаковий і 4 числових розряди) чисел у оберненому та додатковому кодах.

Обернений код.

- Коли А і В додатні числа:

	Прямий код	→	Обернений код
А = 11	01011	→	01011
В = 3	00011	→	00011
			+
			<div style="border-bottom: 1px solid black; display: inline-block; width: 50px; margin: 0 auto;"></div>
			01110 (14 <sub>10</sub> )

- Коли А або В від'ємне:

	Прямий код		Обернений код
A = 10	01010	→	01010
B = -3	10011	→	+
			<u>11100</u>
			00111 (7 <sub>10</sub> )

- Коли А і В від'ємні:

	Прямий код		Обернений код
A = -5	10101	→	11010
B = -6	10110	→	+
			<u>11001</u>
			10100 → 11011 (-11 <sub>10</sub> )

Додатковий код.

- Коли А і В додатні числа:

	Прямий код		Додатковий код
A = 4	00100	→	00100
B = 2	00010	→	+
			<u>00010</u>
			00110 (6 <sub>10</sub> )

- Коли А або В від'ємне:

	Прямий код		Додатковий код
A = 15	01111	→	01111
B = -3	10011	→	+
			<u>11101</u>
			01100 (12 <sub>10</sub> )

- Коли А і В від'ємні:

	Прямий код		Додатковий код
A = -10	11010	→	10110
B = -1	10001	→	+
			<u>11110</u>
			10100 → 11011 (-11 <sub>10</sub> )

## 1.2. Двійкові суматори

### 1.2.1. Принцип роботи суматора

Суматор – це комбінаційний логічний пристрій, що призначений для виконання операції арифметичного додавання двійкових чисел.

Він є важливим елементом арифметико-логічного пристрою і включає в себе широкий спектр пристроїв, від простих логічних схем до складних цифрових вузлів. Усі ці пристрої мають спільне призначення - виконувати арифметичне додавання двійкових чисел.

Суматори можна класифікувати за різними ознаками, включаючи кількість розрядів. Наприклад, існують напівсуматори, однорозрядні та багаторозрядні суматори. Використання суматорів дозволяє замінити операцію віднімання на операцію додавання для обробки як знакових, так і беззнакових чисел.

Напівсуматор – це пристрій, який призначений для додавання двох однорозрядних слів і має два входи і два виходи. Він формує сигнали суми та переносу в старший розряд із вхідних сигналів.

Однорозрядний суматор – це пристрій, який також призначений для додавання двох однорозрядних слів, але має три входи і два виходи. Він формує сигнали суми та переносу в старший розряд з молодших розрядів з вхідних сигналів.

Багаторозрядний суматор – це пристрій, який призначений для додавання двох багаторозрядних слів і формує на виході код суми та сигнал переносу. У разі, якщо результат додавання не може бути представлений кодом з такою самою розрядністю, як розрядність доданків, він формує сигнал переносу.

Багаторозрядні суматори можуть бути послідовними або паралельними. У послідовних суматорах операція додавання виконується розряд за розрядом, починаючи з молодшого розряду. У паралельних суматорах всі розряди вхідних кодів сумуються одночасно.

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		12

Існують два типи суматорів - комбінаційні та накопичувальні. Комбінаційні суматори не мають власної пам'яті, тому результат операції обчислюється безпосередньо з вхідних сигналів. З іншого боку, накопичувальні суматори мають внутрішню пам'ять, в якій зберігається попередній результат операції, що дозволяє додавати до нього нові значення.

Суматори можуть бути класифіковані як синхронні або асинхронні в залежності від способу тактування, де у синхронних суматорах час виконання операції не залежить від виду вхідних кодів, а в асинхронних – залежить. Після завершення операції асинхронні суматори вимагають спеціального сигналу завершення.

Крім того, суматори можуть бути класифіковані в залежності від використовуваної системи числення, такі як двійкові, двійково-десяткові та інші типи.

Давайте отримаємо функції, що описують операції арифметичного додавання двох однорозрядних бінарних кодів  $x_1$ , і  $x_0$ . Алгоритм виконання пояснюється в таблиці істинності (табл. 1.4). В Стівці  $s$  (сума) наведене значення результату додавання, а в стівці  $p$  (перенос) отримане при цьому значення переносу в старший розряд. Варто звернути увагу на відмінності результатів, одержуваних при арифметичному і логічному додаваннях. При логічному додаванні в останньому рядку стівця  $s$  було би присутнє значення 1. Ця відмінність результатів даних операцій не дозволяє застосувати для арифметичного підсумовування елемент "АБО", а вимагає розробки спеціалізованого пристрою.

Таблиця 1.4

Формування суми однорозрядних двійкових чисел

$x_1$	$x_0$	$s$	$p$
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Значення сигналу переносу, що дорівнює одиниці в останньому рядку таблиці 1.4 говорить про те, що результат, отриманий при виконанні операції арифметичного додавання, у цьому випадку не може бути переданий двійковим кодом, розрядність якого дорівнює розрядності слів доданків. Для представлення результату необхідне слово, що має на один розряд більше, ніж, коди доданків.

Використовуючи приведену таблицю, можна записати функції алгебри логіки, що описують алгоритм операції арифметичного додавання.

$$s = \bar{x}_1 x_0 + x_1 \bar{x}_0 = x_1 \oplus x_0, \quad (1.1)$$

$$p = x_1 x_0 \quad (1.2)$$

### 1.2.2. Синтез пристрою сумування

Тепер розглянемо, що потрібно для технічної реалізації таких суматорів: напівсуматор, повний (однорозрядний) суматор та чотирьохрозрядний суматор.

Щоб технічно реалізувати напівсуматор з формул (1.1) та (1.2) видно що необхідні логічні елементи “І” та “Виключне АБО” (рис. 1.1).

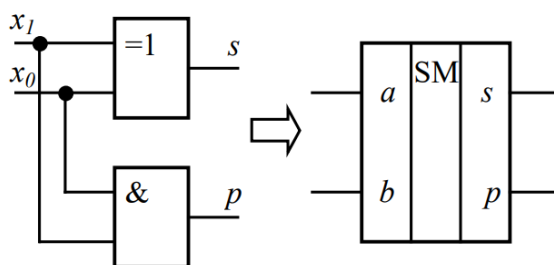


Рис. 1.1. Напівсуматор та його умовне позначення

Операція додавання двійкових додатніх чисел визначається правилами двійкової арифметики:

1. Значення переносу  $p_{i+1}$  дорівнює 1, якщо дві або три величини з  $a_i$ ,  $b_i$  і  $p_i$  рівні 1, де  $a_i$  і  $b_i$  – розряди чисел  $A$  і  $B$ , а  $p_i$  – перенос з  $(i - 1)$ -го розряду.

2. Значення  $i$ -го розряду  $s_p$  суми чисел  $A$  і  $B$  дорівнює 1, якщо непарне число величин  $a_i, b_i$  і  $p_i$  дорівнює 1.

Значення переносу в перший розряд завжди дорівнює 0, тобто  $p = 0$ . Якщо під час додавання розрядна сітка не переповняється, тоді перенос у старший  $(i + 1)$ -й розряд відсутній ( $p_{i+1} = 0$ ). В загальному випадку потрібно зробити додавання і віднімання як додатних, так і від'ємних чисел.

Таблиця істинності (табл. 1.5), яка відображає закон функціонування однорозрядного двійкового суматора, або його ще називають повним суматором, складається на підставі правила додавання додатних чисел.

Таблиця 1.5

Таблиця істинності однорозрядного двійкового суматора

x	$a_i$	$b_i$	$p_i$	$s_p$	$p_{i+1}$
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

На рис. 1.2 показано один з можливих варіантів реалізації однорозрядного двійкового суматора та його умовне позначення.

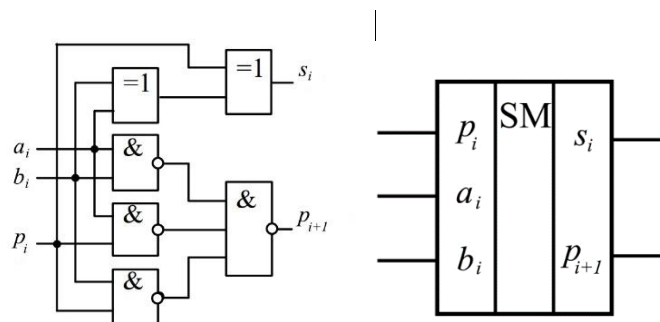


Рис. 1.2. Схема однорозрядного двійкового суматора та його умовне позначення

Для додавання  $n$ -розрядних чисел  $A$  і  $B$  треба використовувати  $n$  однорозрядних суматорів. На рис. 1.3 показана логічна схема суматора із послідовним переносом для чотирьохрозрядних чисел  $A$  ( $a_0, a_1, a_2, a_3$ ) та  $B$  ( $b_0, b_1, b_2, b_3$ ).

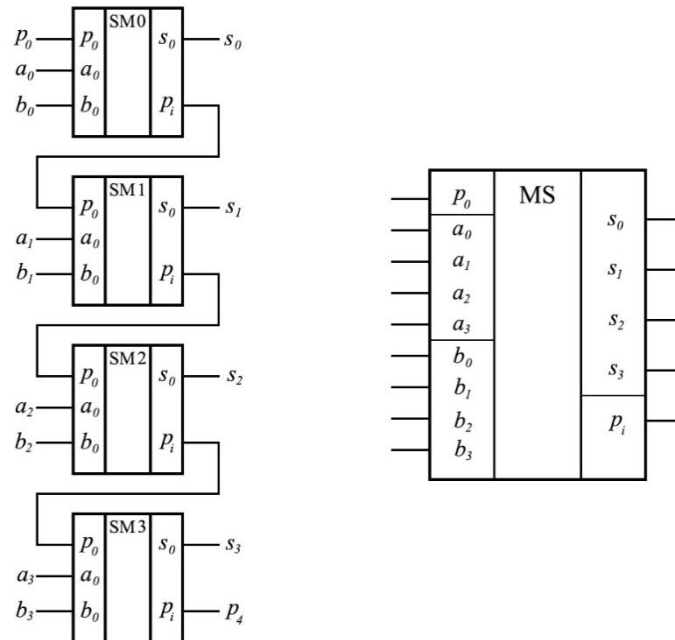


Рис. 1.3. Логічна схема чотирьохрозрядного суматора та його умовне позначення

Дана схема показує як реалізований чотирьохрозрядний суматор із послідовним переносом. В ньому сигнал переносу в старший розряд переноситься від  $MS_0$  до  $MS_3$  послідовно. Тобто формування сигналу переносу відбувається після того, як пройшло повне сумування вихідного сигналу в молодших суматорах.

### 1.2.3. Типи багаторозрядних суматорів

Паралельні, послідовні та паралельно-послідовні суматори. Паралельні суматори з  $n$ -розрядними входами отримують всі розряди операндів одночасно та підсумовують їх за допомогою однорозрядних підсумовуючих схем. На рис. 1.4 показана схема паралельного багаторозрядного суматора для  $n$ -розрядних чисел.



У послідовних суматорах розряди операндів та перенесення передаються по черзі від менш значущих розрядів до більш значущих на вхід однорозрядних суматорів, при цьому значення розрядів та перенесення, які були запам'ятовані на попередньому такті, використовуються для обчислення наступного розряду суми.

Паралельно-послідовні суматори оперують числами, розбитими на частини (наприклад, байти), при цьому розряди кожної частини надходять паралельно на входи відповідного n-розрядного суматора. Одночасно обчислюються підсумки кожної частини, але результати можуть залежати від переносу, запам'ятованого в попередній частині. Частини оброблюються послідовно в напрямку від молодших до старших з урахуванням запам'ятованого перенесення.

Швидкість виконання операції додавання практично залежить від того, як організоване перенесення. Послідовні перенесення можна легко реалізувати схемно, але вони працюють повільніше. З іншого боку, паралельні перенесення потребують більш складних схем, але вони можуть забезпечити високу швидкодію.

Комбінаційні та накопичувальні суматори. У комбінаційних суматорах отриманий результат операції додавання зберігається в регістрах. Накопичувальні “послідовні” багаторозрядні суматори комбінують операцію додавання операндів представлених в послідовному коді з можливістю зберігання результату в регістрі зсуву, що досягається за допомогою використання однорозрядного повного суматора, для зберігання переносу в старший розряд використовується T-тригери (лінія затримки).

Синхронні та асинхронні суматори. Суматори, що виконують додавання з постійним інтервалом часу, називаються синхронними, тоді як ті, що визначають інтервал часу додавання за фактичним закінченням операції, називаються асинхронними. Асинхронні суматори мають спеціальні схеми, які визначають момент закінчення додавання та повідомляють про це в пристрій керування. У практичних застосуваннях переважно використовуються синхронні суматори.

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		17

Суматори можуть мати різну розрядність, яка коливається в діапазоні 4-16 — для мікроконтролерів, 32-128 і більше — для продуктивних процесорів.

### 1.3. Пристрої віднімання

#### 1.3.1. Алгоритм роботи пристроїв віднімання

Суматор-віднімач – це цифрова схема, яка може виконувати як додавання, так і віднімання двійкових чисел. Якщо коди знаку однакові то він виконує операцію додавання. Якщо коди знаку різні то виконує операцію віднімання. Він є одним з основних елементів при проектуванні арифметичної логіки комп'ютерів та інших електронних пристроїв.

Операція віднімання полягає у відніманні одного числа від іншого, що може бути виконано за допомогою додавання зворотного до другого числа. Для цього зворотне число отримується шляхом інвертування всіх числових бітів.

Розглянемо суматор-віднімач який реалізує операцію віднімання двох 5-ти розрядних чисел в оберненому коді.

Перетворення будуть такі:

*Прямий код* → *Обернений код* → *Сума оберненого коду* → *Сума прямого коду*

Складемо нижче таблицю істинності для прямого та оберненого коду в залежності від знакового розряду ( $a_4$ ).

Таблиця 1.6

Таблиця істинності для прямого та оберненого коду

$a_4$	$a_i$ (Прямий код)	$a_i$ (Обернений код)
0	0	0
0	1	1
1	0	1
1	1	0

З табл. 1.6 видно, що для перетворення числа в обернений код нам потрібно використати логічний елемент “Виключне АБО”. А щоб перетворити 5-розрядне

число в обернений код нам потрібно використати 4 таких логічних елемента (для 4-х числових розрядів).

### 1.3.2. Схемотехніка пристроїв віднімання

Ми вже вияснили, що для реалізації перетворення числа в обернений код нам потрібно використати 4 логічних елементів “Виключне АБО”, щоб синтезувати мікросхему – перетворювач коду (рис. 1.4). За допомогою нього наше число перетвориться у число в оберненому коді.

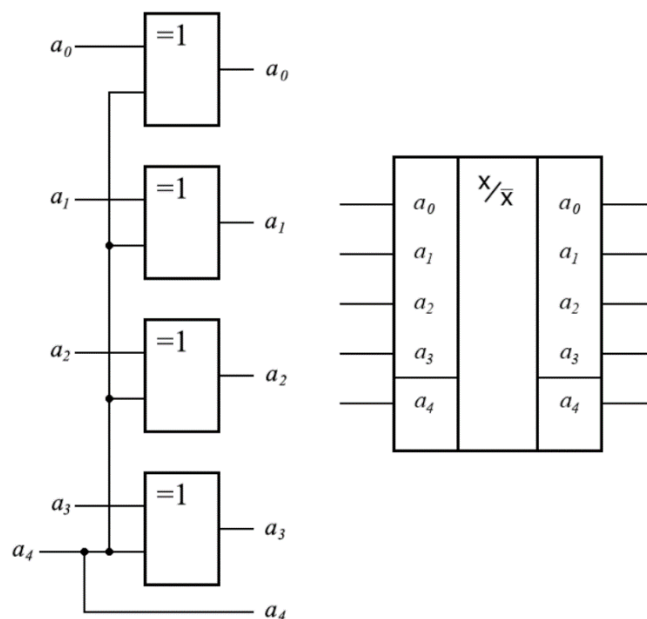


Рис. 1.4. Функціональна схема перетворювача коду та його умовне позначення

Тоді суматор виконає дію додавання над числами і на його виходах ми будемо мати суму в оберненому коді. Для того, щоб результат перетворити у суму в прямому коді, ми скористаємось ще одним перетворювачем коду. На рис. 1.5. показана функціональна схема суматора-віднімача яка складається з трьох перетворювачів коду та одного чотирьохрозрядного суматора.

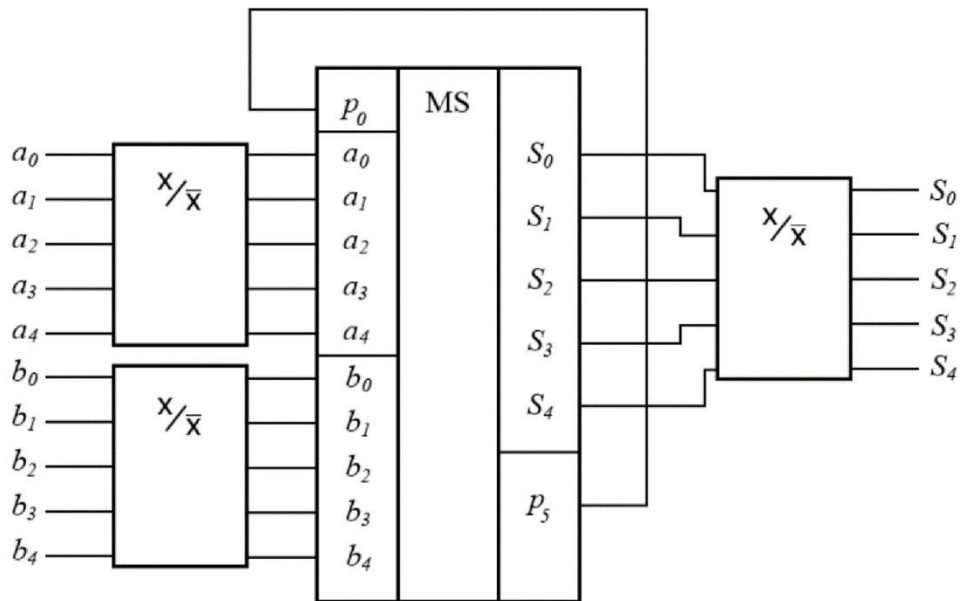


Рис. 1.5. Функціональна схема п'ятирозрядного суматора-віднімача

## 1.4. Тригерні пристрої цифрової електроніки

### 1.4.1. RS-тригери

Тригери є елементами, які мають два стійкі стани, і вони є найбільш поширеними функціональними елементами у цифрових системах. Їх використовують у різних пристроях, таких як лічильники імпульсів, регістри, запам'ятовуючі пристрої, розподілювачі сигналів і накопичувальні суматори. Крім того, тригери застосовуються в приладах керування для виконання важливих функцій логічного перетворення і зберігання інформації.

Термін “тригер” використовується для опису логічної схеми з двома стійкими станами та додатним зворотним зв'язком, яка може переходити з одного стану в інший під дією зовнішніх сигналів. Після припинення дії вхідних сигналів, тригер знаходиться в стані, який він мав до цього на необмежений час. Якщо тригер може запам'ятовувати один біт двійкової інформації (логічний нуль “0” або логічна одиниця “1”), то він називається двостановим запам'ятовувачем.

Зазвичай, двостанові тригери мають два виходи, які вказують на стан тригера. Перший вихід називається прямим і позначається як Q, другий –

інверсний  $\bar{Q}$ . Початковий стан тригера вважається нульовим і називається скинутим. У цьому стані вихід  $Q$  знаходиться під нульовим потенціалом, тобто  $Q = 0$ , а  $\bar{Q} = 1$ . Інший стан, коли  $Q = 1$ , а  $\bar{Q} = 0$ , називається встановленим. Процес переключення тригера в одиничний стан називається встановленням, а в нульовий - скиданням.

Для класифікації тригерів за способом запису інформації виділяють два типи – асинхронні та синхронні тригери. Асинхронні тригери мають лише інформаційні входи і не мають входу синхронізації. Запис інформації в такі тригери можливий в будь-який момент, коли надходить інформаційний сигнал на інформаційний вхід тригера.

У синхронних тригерах є додатковий тактовий (синхронізуючий) вхід  $C$  для подачі тактових імпульсів, які виконують запис інформації. Залежно від кількості тактів, за які тригер виконує свої дії, вони можуть бути класифіковані як однотокові або багатотактові. У тригерів однотокової дії запис інформації відбувається з кожним синхроімпульсом, тоді як у тригерів багатотактової дії запис інформації завершується лише після дії  $n$ -го тактового імпульсу.

У тригерах також розрізняють статичні та динамічні входи. Статичні входи призначені для отримання потенційних цифрових сигналів, які переключають тригер і можуть бути встановлені на рівні “0” або “1”. Динамічні входи керуються тактовими сигналами, часова тривалість яких дуже коротка, тобто при зміні сигналу з одиниці на нуль (зрізу) або навпаки, при зміні сигналу з нуля на одиницю (фронту).

Асинхронний RS-тригер з прямими та інверсними входами. RS-тригер з прямими входами – це елемент цифрової логіки, який має два стійкі стани і два інформаційних входи: R (reset - скидання в початковий стан, який відповідає “0”) та S (set - встановлення в стан “1”), що при

$S = 1, R = 0$  тригер встановлюється у стан “1”,

$S = 0, R = 1$  тригер встановлюється у стан “0”,

$S = 0, R = 0$  тригер зберігає попередній стан  $Q_t = Q_{t+1}$ ,

а стан  $S = 1, R = 1$  – заборонений.

					ДП 153.432.4 ПЗ	Арк.
						21
Змн.	Арк.	№ докум.	Підпис	Дата		

RS-тригер з інверсними входами – це такий же елемент цифрової логіки, який має два стійкі стани і два інформаційні входи, але при

$S = 0, R = 1$  тригер встановлюється у стан “1”,

$S = 1, R = 0$  тригер встановлюється у стан “0”,

$S = 1, R = 1$  тригер зберігає попередній стан  $Q_t = Q_{t+1}$ ,

а стан  $S = 0, R = 0$  – заборонений.

На рис. 1.7 показано умовні графічні позначення RS-тригера з прямими та інверсними входами.

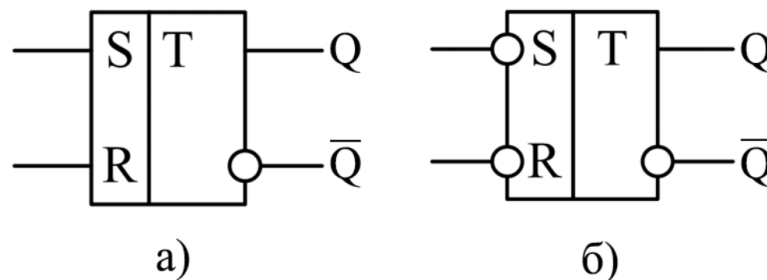


Рис. 1.6. Умовні графічні позначення RS-тригера з: а) прямими та б) інверсними входами

Одновременна подача двох активних сигналів на входи  $S$  і  $R$  (у випадку тригера з прямими входами це рівень логічної “1”, а у випадку тригера з інверсними входами – рівень логічного “0”) заборонена, а якщо таке все ж стається, то стан тригера буде вважатись невизначеним. В табл. 1.7 наведено зміни станів RS-тригера з прямими та інверсними входами.

Таблиця 1.7

Таблиця переходів RS-тригера з прямими та інверсними входами

RS-тригер з прямими входами				RS-тригер з інверсними входами			
S	R	$Q_t$	$Q_{t+1}$	$\bar{S}$	$\bar{R}$	$Q_t$	$Q_{t+1}$
1	0	1	1	0	0	1	1
1	0	0	1	0	0	0	1
0	1	1	0	1	0	1	0
0	1	0	0	1	0	0	0
0	0	1	1	1	1	1	1
0	0	0	0	1	1	0	0
1	1	X		0	0	X	

Зміну станів тригера на його входах і виходах показано за допомогою часових діаграм сигналів на рис. 1.7.

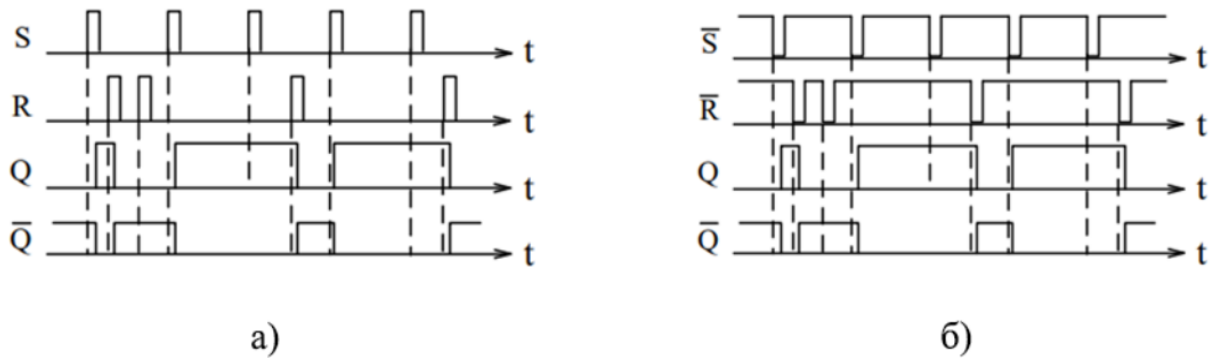


Рис. 1.7. Часові діаграми роботи RS-тригера з: а) прямими та б) інверсними входами

На рис. 1.8 показані принципові схеми RS-тригера з інверсними входами побудованого на логічних елементах “І-НЕ”, та з прямими входами побудованого на логічних елементах “АБО-НЕ”.

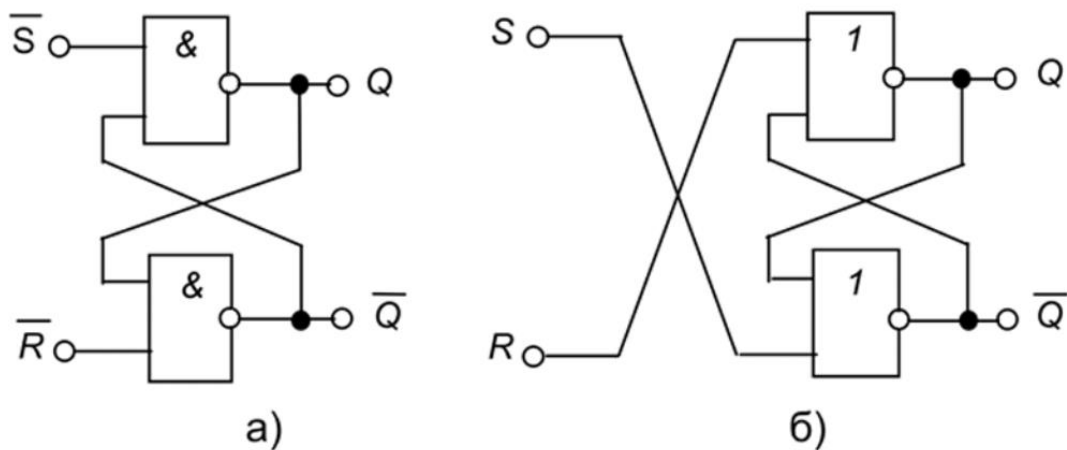


Рис. 1.8. RS-тригер з інверсними входами на елементах “І-НЕ” (а) та з прямими входами на елементах “АБО-НЕ”

**Синхронний RS-тригер.** На відміну від асинхронних тригерів, які переключаються при активному рівні на одному з входів, синхронний тригер переходить у новий стан лише при наявності сигналу на вході управління, який називається входом синхронізації. Сигнали, що подаються на цей вхід, отримують назву синхросигналів або синхроімпульсів.

На рис. 1.9 наведено принципову схему та умовне позначення синхронного RS-тригера.

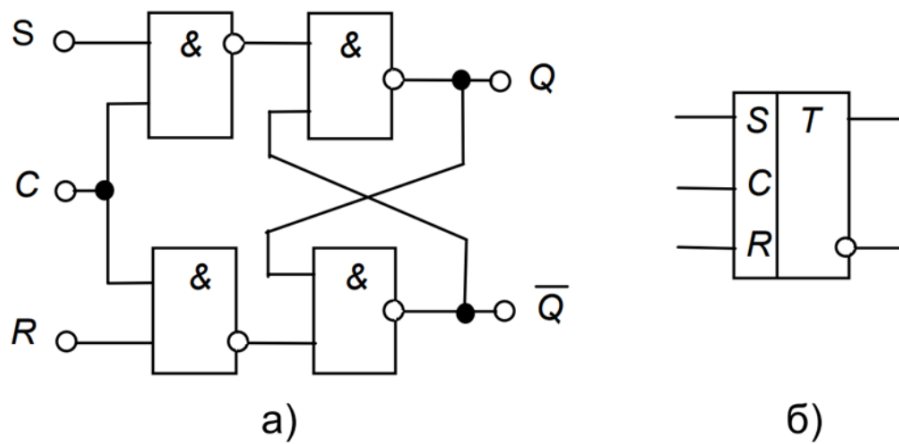


Рис. 1.9. Принципова схема (а) та умовне позначення (б) синхронного RS-тригера

На рис. 1.10 наведені часові діаграми, які пояснюють роботу синхронного RS-тригера.

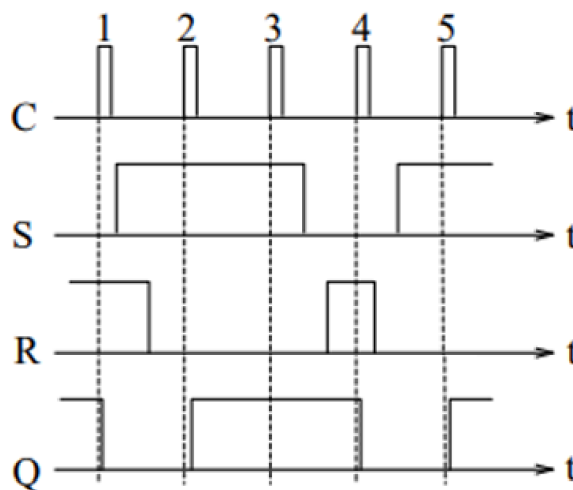


Рис. 1.10. Часові діаграми роботи синхронного RS-тригера

#### 1.4.2. JK-тригер

JK-тригер – це логічний пристрій, який має два стійкі стани і два інформаційні входи J і K. У тому випадку, коли  $J = K = 1$ , він здійснює інверсію попереднього стану, на відміну від RS-тригера у якому одночасно подача логічної “1” на два інформаційні входи заборонена. В інших випадках він буде працювати як RS-тригер. Зауважимо, що вхід J еквівалентний входу S, а вхід K - входу R. Варто відзначити, що JK-тригер відноситься до синхронних



тригерів, тому всі перемикання цього тригера відбуваються лише в моменти надходження синхронізуючого імпульсу на вхід синхронізації С. Умовне графічне позначення наведено на рисунку рис. 1.11.

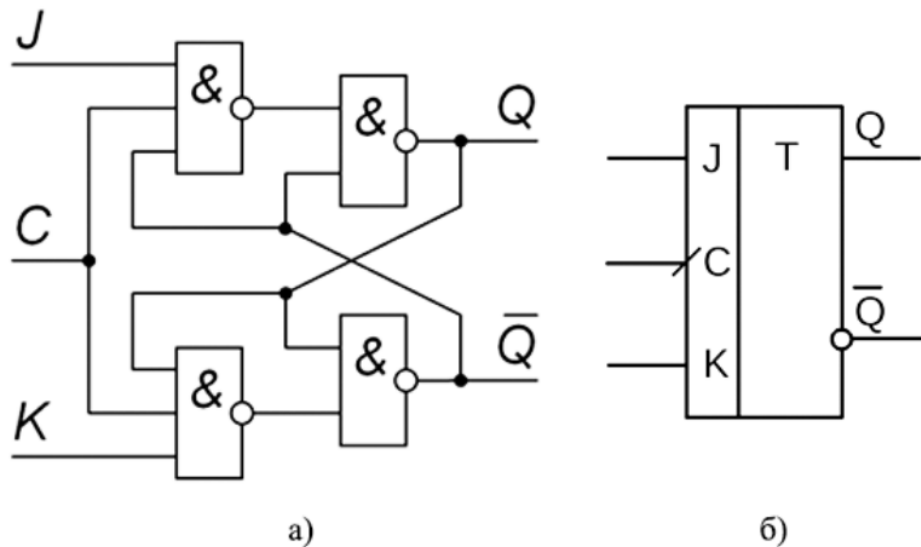


Рис. 1.11. Принципова схема (а) та умовне графічне позначення (б) JK-тригера

В табл. 1.8 наведено переходи при різних значеннях сигналів JK-тригера на входах J та K.

Таблиця 1.8  
Таблиця переходів JK-тригера

J	K	$Q_t$	$Q_{t+1}$
0	0	0	0
		1	1
1	0	0	1
		1	1
0	1	0	0
		1	0
1	1	0	1
		1	0

Також на рис. 1.12 показана часова діаграма роботи JK-тригера. На ній дуже добре видно як працює JK-тригер при подачі різних сигналів на його входи.

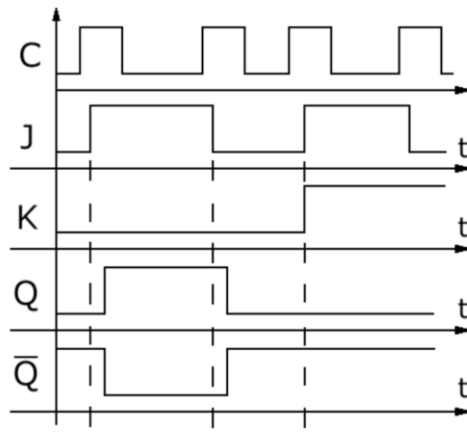


Рис. 1.12. Часова діаграма роботи JK-тригера

Змн.	Арк.	№ докум.	Підпис	Дата

ДП 153.432.4 ПЗ

Арк.

26

## РОЗДІЛ 2. РОЗРОБКА ФУНКЦІОНАЛЬНИХ ПРИСТРОЇВ ДЛЯ ЛАБОРАТОРНИХ РОБІТ

### 2.1. Пристрій для дослідження роботи суматора-віднімача

#### 2.1.1. Проектування функціонального пристрою

На рис. 2.1 зображена електрична принципова схема функціонального пристрою суматора-віднімача.

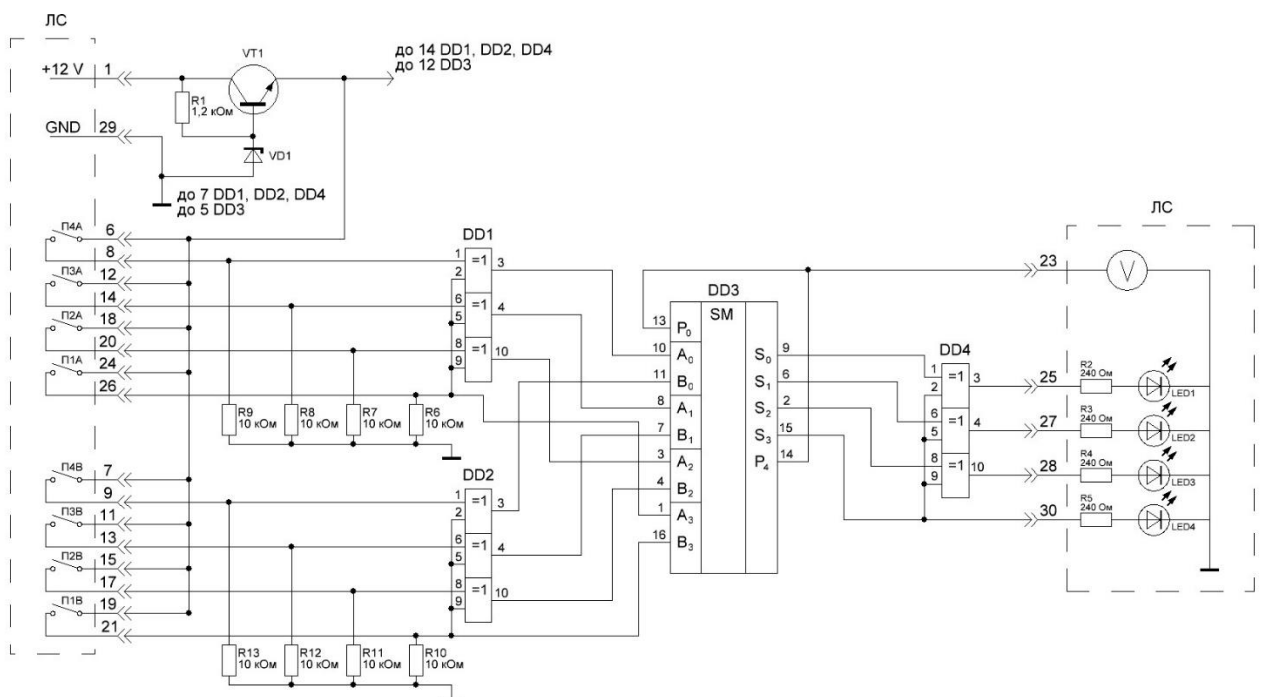


Рис. 2.1. Електрична принципова схема суматора-віднімача

У даному функціональному пристрої використовуються мікросхеми КМ155ИМ3 та К561ЛП2.

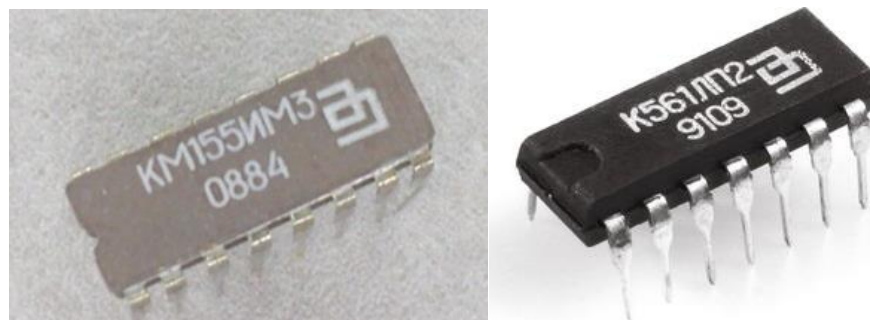


Рис. 2.2. Зображення мікросхем КМ155ИМ3 та К561ЛП2

Змн.	Арк.	№ докум.	Підпис	Дата

Виходячи з електричних параметрів суматора КМ155ИМ3 та перетворювача К561ЛП2 проведемо розрахунок номіналів схеми.

Електричні параметри КМ155ИМ3:

1.  $U_{жив}$  (напруга живлення) –  $5 \text{ В} \pm 5\%$ .
2.  $U_{вх}^0$  (вхідна напруга низького рівня) –  $< 0,4 \text{ В}$ .
3.  $U_{вх}^1$  (вхідна напруга високого рівня) –  $> 2,4 \text{ В}$ .
4.  $I_{спож}$  (струм споживання) –  $< 128 \text{ мА}$ .
5.  $P_{стат.спож}$  (статична потужність споживання) –  $< 670 \text{ мВт}$ .

Електричні параметри К561ЛП2:

1.  $U_{жив}$  (напруга живлення) –  $3-15 \text{ В}$ .
2.  $P_{спож}$  (потужність споживання) –  $300 \text{ мВт}$ .
3.  $I_{спож}$  (струм споживання) –  $< 60 \text{ мА}$ .
4.  $U_{макс}$  (максимальна напруга) –  $18 \text{ В}$ .

Логічні елементи DD1, DD2, DD4 це є інтегральні мікросхеми К561ЛП2 КМОН логіки яка живиться від  $U_{жив} = 5 \text{ В}$ . Згідно рекомендаціям щодо експлуатації таких мікросхем R2-R9 вибираємо  $10 \text{ кОм}$ , що забезпечить проходження струму від тринзисторного стабілізатора напруги  $0,5 \text{ мА}$ , який є більший ніж  $I_{вх}^1 = 1 \text{ мкА}$ .

Світлодіодна індикація LED1-LED4 використовується від лабораторного стенду. Споживання струму якої по одному виводу складає близько  $2 \text{ мА}$ , що задовільняє допустимі вихідні струми КМОН мікросхеми до  $5 \text{ мА}$ .

Загальне споживання струму даного функціонального пристрою дорівнює сумі струмів через R2-R9 і мікросхем DD1, DD2, DD3, DD4:

$$I_{R2-R9} = 8 * I_{R2} = 8 * \frac{5}{10 * 10^3} = 8 * 0,5 * 10^{-3} = 4 \text{ мА}$$

$$I_{DD1,DD2,DD4} = 3 * I_{DD1} = 3 * 6 * 10^{-2} = 180 \text{ мА}$$

$$I_{DD3} = 128 \text{ мА}$$

$$\sum I = I_{R2-R9} + I_{DD1,DD2,DD4} + I_{DD3} = 4 \text{ мА} + 180 \text{ мА} + 128 \text{ мА} = 312 \text{ мА}$$

$$\sum I_{max} = \frac{\sum I}{0,75} = \frac{312}{0,75} = 416 \text{ мА}$$

									Арк.
									28
Змн.	Арк.	№ докум.	Підпис	Дата	ДП 153.432.4 ПЗ				

Для забезпечення достатньої теплової потужності при роботі біполярного транзистора при постійних струмах вибираємо транзистор КТ817А з наступними електричними характеристиками:

1. Тип – n-p-n.
2.  $U_{к.б.мах}$  (максимальна напруга колектор-база) – 40 В.
3.  $U_{к.е.мах}$  (максимальна напруга колектор-емітер) – 40 В.
4.  $I_{к.мах}$  (максимальний постійний струм колектора) – 3 А.
5.  $P_{к.мах}$  (максимальна розсіювальна потужність колектора) – 1 Вт.

Спад напруги для забезпечення умови  $U_{ем} = 5$  В на базі даного транзистора повинно бути не менше 5,6 В. Вибираємо SMD стабілітрон ВZV55-С5V6 у якого такі електричні характеристики:

1.  $U_{стаб}$  (напруга стабілізації) – 5,6 В.
2.  $I_{стаб}$  (струм стабілізації) – 5 мА.
3.  $P_{роз}$  (потужність розсіювання) – 0,5 Вт.

Тоді резистор R1 розраховуємо з наступної умови:

$$R0 = \frac{U_{жив} - U_б}{I_{стаб}} = \frac{12 - U_б}{5 * 10^{-3}} = \frac{12 - 5,6}{5 * 10^{-3}} = 1280 \text{ Ом.}$$

З номінального ряду вибираємо резистор з ємністю 1,2 кОм.

Після того як розраховано усі компоненти функціонального пристрою, можна приступити до його проектування.

Я використовував для цього програму Sprint Layout, у ній я спроектував печатну плату (рис. 2.3). Електричні доріжки виконані зеленим кольором знаходяться на задній стороні плати. Електричні доріжки виконані синім кольором знаходяться на передній стороні плати. Сірими перемичками я вказав місця які потрібно спаяти навісними кабелями. Компоненти функціонального пристрою розставлені саме так, з тією ціллю, щоб студенти легше знайшли схожість вигляду плати з електричною принциповою схемою.

									Арк.
									29
Змн.	Арк.	№ докум.	Підпис	Дата	ДП 153.432.4 ПЗ				

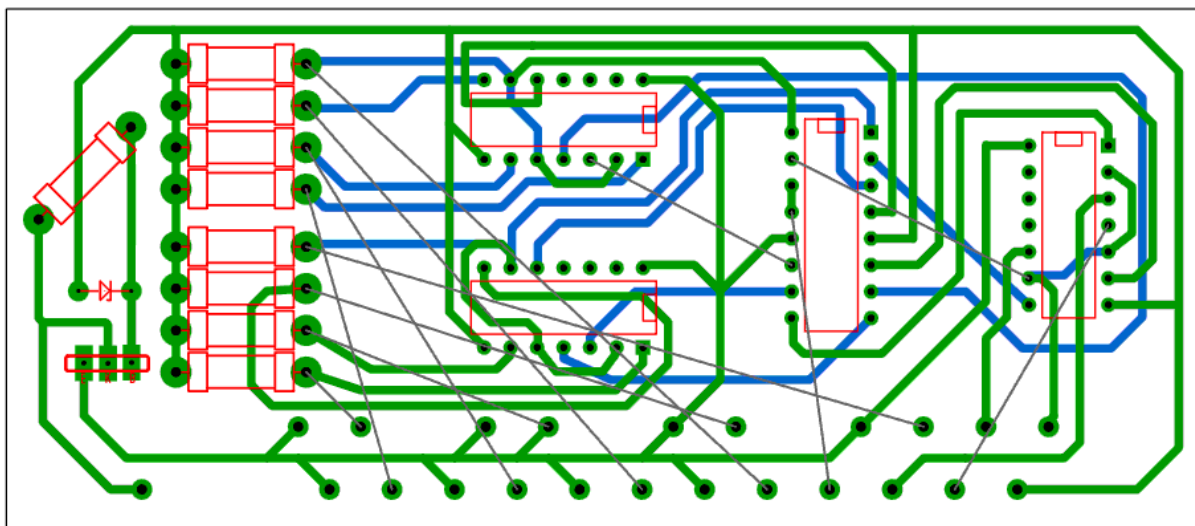


Рис. 2.3. Монтажна схема суматора-віднімача

### 2.1.2. Методичні рекомендації до виконання лабораторної роботи “Дослідження роботи суматора-віднімача”

**Мета роботи:** вивчити будову та принцип роботи суматора-віднімача.

#### Теоретичні вказівки

Суматор – це пристрій, який здійснює операцію арифметичного додавання двійкових чисел і є важливим компонентом арифметико-логічного пристрою. Він включає в себе різноманітні пристрої – від простих логічних схем до складних цифрових вузлів. Головне завдання всіх цих пристроїв полягає у виконанні арифметичного додавання двійкових чисел. Суматори можна класифікувати за різними критеріями, включаючи кількість розрядів. Наприклад, існують напівсуматори, однорозрядні та багаторозрядні суматори. Використання суматорів дозволяє замінити операцію віднімання операцією додавання при обробці як знакових, так і беззнакових чисел.

Напівсуматор - це пристрій, призначений для додавання двох однорозрядних слів, який має два входи і два виходи. Він генерує сигнали суми та переносу в старший розряд на основі вхідних сигналів.

Змн.	Арк.	№ докум.	Підпис	Дата

Однорозрядний суматор - це також пристрій, призначений для додавання двох однорозрядних слів, але має три входи і два виходи. Він формує сигнали суми та переносу в старший розряд залежно від молодших розрядів вхідних сигналів.

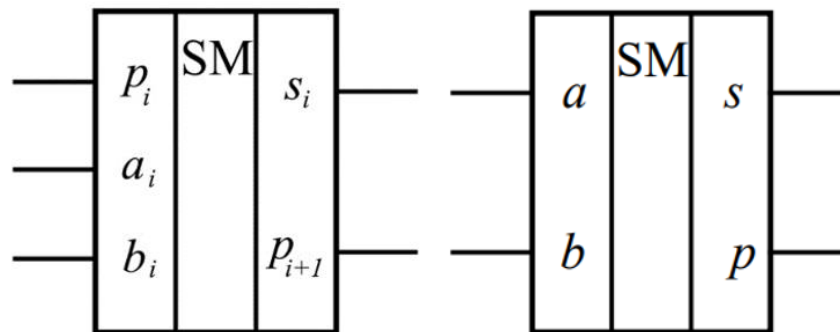


Рис. 2.4. Умовне позначення однорозрядного суматора та напівсуматора

Багаторозрядний суматор - це пристрій, призначений для додавання двох багаторозрядних слів і генерує код суми та сигнал переносу на виході. Якщо результат додавання не може бути представлений кодом з такою самою розрядністю, як у доданків, суматор генерує сигнал переносу.

Багаторозрядні суматори можуть мати послідовну або паралельну структуру. У послідовних суматорах операція додавання виконується поетапно, розряд за розрядом, починаючи з найменш значущого розряду. У паралельних суматорах всі розряди вхідних кодів додаються одночасно.

Існують два основних типи суматорів: комбінаційні і накопичувальні. Комбінаційні суматори виконують обчислення безпосередньо на основі вхідних сигналів і не мають внутрішньої пам'яті. Накопичувальні суматори, натомість, мають вбудовану пам'ять, в якій зберігається попередній результат операції, дозволяючи додавати до нього нові значення.

Суматори також можуть бути класифіковані як синхронні або асинхронні в залежності від методу тактування. У синхронних суматорах час виконання операції не залежить від вхідних кодів, тоді як у асинхронних суматорах він залежить. Асинхронні суматори вимагають спеціального сигналу завершення після завершення операції.

Крім того, суматори можуть бути класифіковані залежно від системи числення, використовуваної для операцій. Наприклад, існують двійкові суматори, двійково-десяткові суматори та інші типи, в залежності від конкретних вимог і потреб.

Суматор-віднімач – це цифровий пристрій, який може виконувати як операцію додавання, так і операцію віднімання двійкових чисел. В залежності від кодів знаку чисел, він виконує відповідну операцію. Якщо коди знаку однакові, то відбувається додавання. Якщо коди знаку різні, то відбувається віднімання. Суматор-віднімач є важливим компонентом в проектуванні арифметичної логіки комп'ютерів та інших електронних пристроїв. Операція віднімання полягає у відніманні двох чисел. Це може бути досягнуто шляхом додавання зворотного числа до другого числа. Зворотне число можна отримати шляхом інвертування числових бітів.

Перетворення відбуваються так:

*Прямий код → Обернений код → Сума оберненого коду → Сума прямого коду*

Щоб перетворити число в обернений код нам потрібно використати логічний елемент “Виключне АБО”. А щоб перетворити 4-розрядне число в обернений код ми маємо використати 3 таких логічних елемента (для 3-х числових розрядів). Таким чином ми синтезуємо мікросхему перетворювач коду. За допомогою нього наше число перетвориться у число в оберненому коді. Суматор виконає дію додавання над числами і на його виходах буде сума в оберненому коді. Для того, щоб результат перетворити в суму у прямому коді, потрібно скористатись ще одним перетворювачем коду.

На рис. 2.5 показана функціональна схема суматора-віднімача яка складається з трьох перетворювачів коду та одного п'ятирозрядного суматора.

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		32



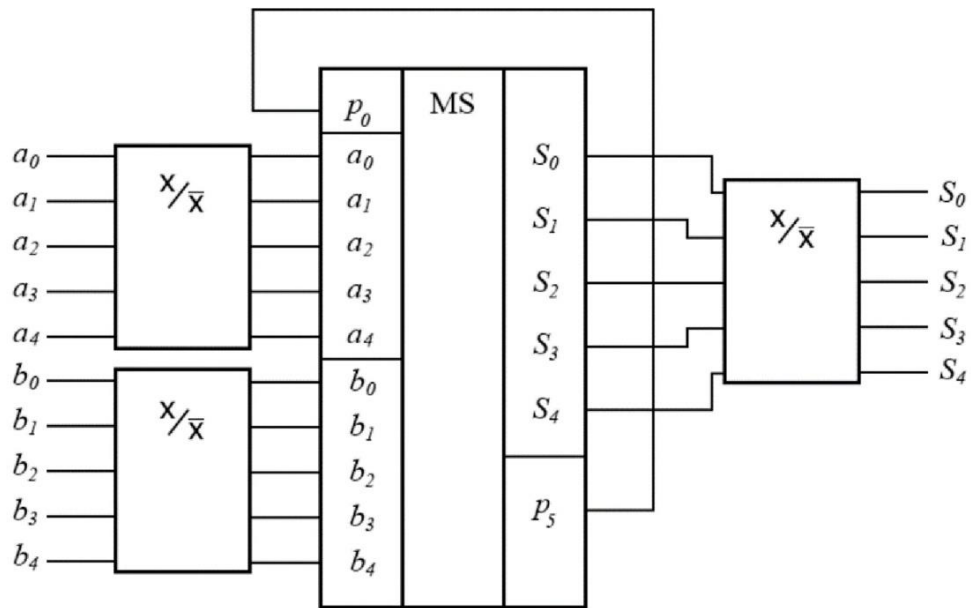
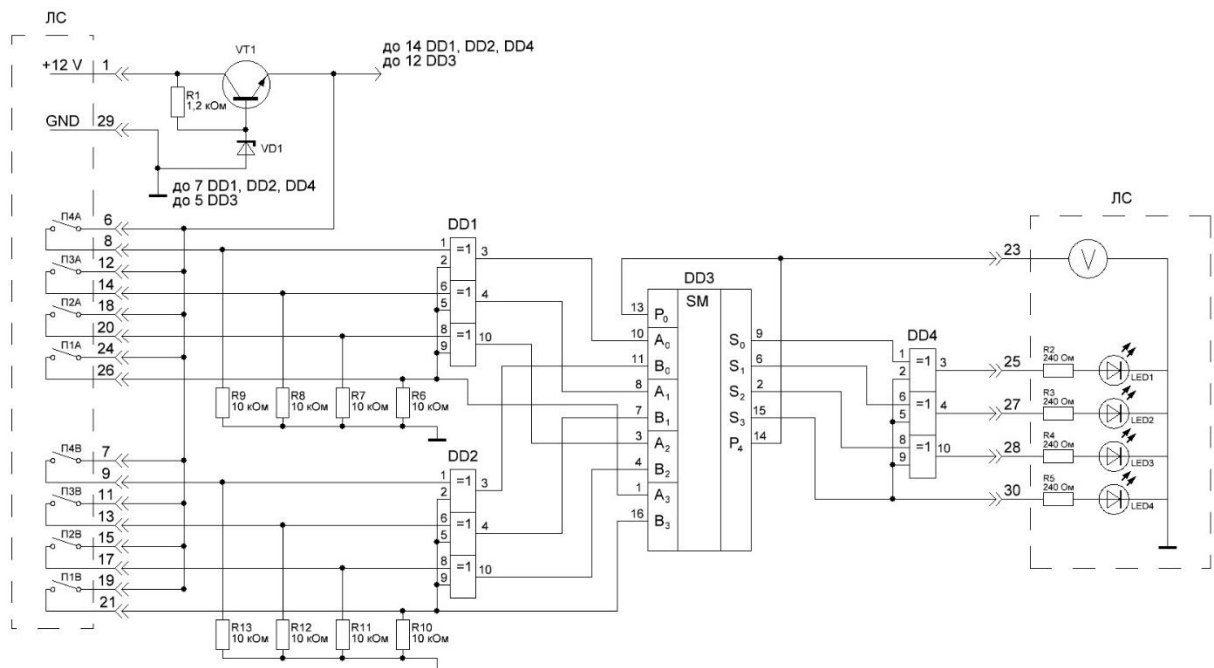


Рис. 2.5. Функціональна схема п'ятирозрядного суматора-віднімача

## ПОРЯДОК ВИКОНАННЯ РОБОТИ

1.1. Ознайомитись з метою лабораторної роботи та описом необхідних приладів.

1.2. Зарисувати досліджувану схему:



2.1. Під'єднати до лабораторного стенда досліджувану схему.

Змн.	Арк.	№ докум.	Підпис	Дата
------	------	----------	--------	------

2.2. Виконайте додавання: двох додатніх чисел, від'ємного та додатного числа, двох від'ємних чисел. (Сумувати потрібно числа, сума яких по модулю не більше 7).

2.3. Результати додавання запишіть у зошит.

## КОНТРОЛЬНІ ЗАПИТАННЯ

1. Що таке суматор, та який принцип його роботи?
2. Які бувають види суматорів?
3. Як сконструювати перетворювач коду, та який принцип його роботи?
4. Що таке суматор-віднімач, та як він працює?

### 2.2. Пристрій для дослідження роботи JK-тригера

#### 2.2.1. Проектування функціонального пристрою

На рис. 2.3 зображена електрична принципова схема функціонального пристрою JK-тригера.

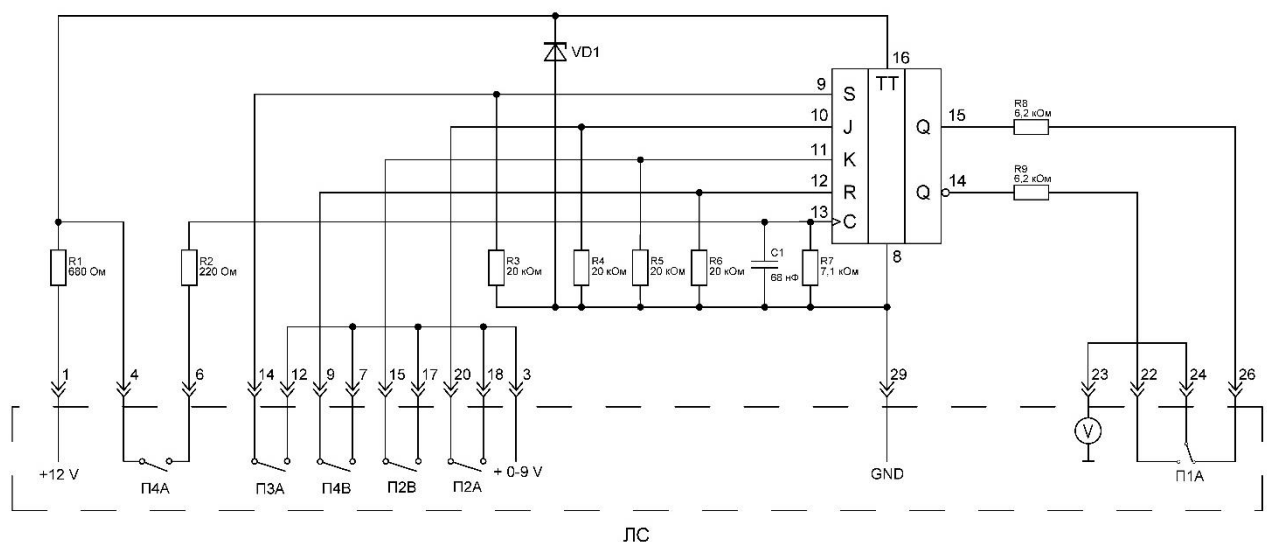


Рис. 2.6. Електрична принципова схема JK-тригера

У даному функціональному пристрої використовується мікросхема К176ТВ1.

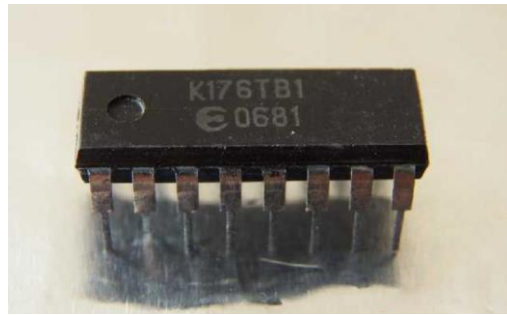


Рис. 2.7. Зображення мікросхеми K176TB1

Виходячи з електричних характеристик мікросхеми K176TB1:

1.  $U_{\text{жив}}$  (напруга живлення) –  $9 \text{ В} \pm 5\%$ .
2.  $U_{\text{вих}}^0$  (вихідна напруга низького рівня) –  $< 0,3 \text{ В}$ .
3.  $U_{\text{вих}}^1$  (вихідна напруга низького рівня) –  $> 8,2 \text{ В}$ .
4.  $I_{\text{вх}}$  (вхідний струм) –  $< 0,3 \text{ мкА}$ .
5.  $I_{\text{жив}}$  (струм живлення) –  $< 10 \text{ мкА}$ .
6.  $C_{\text{вх}}$  (вхідна ємність) –  $< 12 \text{ пФ}$ .
7.  $t_{\text{т}}$  (час фронту і зрізу тактових сигналів) –  $\geq 15 \text{ мкс}$ .

Розрахуємо компоненти принципово електричної схеми функціонального пристрою JK-тригера:

Напруга живлення мікросхеми K176TB1 9 В при струмі живлення 10 мкА. Для отримання відповідної напруги живлення вибрано стабілітрон КС191А в якого напруга стабілізації дорівнює 9,1 В. Електричні характеристики стабілітрона КС191А:

1.  $U_{\text{стаб}}$  (напруга стабілізації) – 9,1 В.
2.  $I_{\text{стаб}}$  (струм стабілізації) – 3-15 мА.
3.  $P_{\text{max}}$  (максимальна потужність) – 0,15 Вт.

Струм стабілізації при 9,1 В буде 5 мА який набагато більший за струм живлення мікросхеми.

На резисторі R1 повинен бути спад напруги

$$12 \text{ В} - U_{\text{жив}} = 12 \text{ В} - 9 \text{ В} = 3 \text{ В},$$

струм через даний резистор повинен бути рівний приблизно 5 мА. Отже розрахуємо опір резистора R1:

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		35

$$R1 = \frac{3 \text{ В}}{5 * 10^{-3} \text{ А}} = 600 \text{ Ом}$$

З номінального ряду резисторів вибираємо 680 Ом. Тоді струм стабілізації буде дорівнювати 4,4 мА. Розсіювальна теплова потужність при цьому на даному резисторі буде дорівнювати:

$$Q = I^2 * R = (4,4 * 10^{-3})^2 * 680 = 13,2 \text{ мВт}$$

Вибираємо резистор з номінальним розсіюванням 0,05 Вт.

Для забезпечення параметрів тактових сигналів  $\geq 15$  мкс розрахуємо номінали резисторів R2, R7 та конденсатора C1. Резистори R2 та R7 розрахуємо з умови, що амплітуда тактового сигналу повинна бути більша за 8,2 В (рівень логічної одиниці).

Виходячи з умови:

$$U_{R2} + U_{R7} = 9 \text{ В}$$

$$U_{R7} \geq 8,2 \text{ В}$$

Постійна часу  $\tau$  R2C1 має бути  $\geq 15$  мкс. Враховуючи те, що вхідна ємність мікросхеми дорівнює 12 пФ беремо номінал C1 – 68000 пФ. Тоді резистор R2:

$$R2 \leq \frac{15 * 10^{-6}}{68 * 10^{-9}} = 220 \text{ Ом}$$

З номінального ряду беремо 200 Ом.

Розрахуємо значення резистора R7. Розраховуємо з умови:

$$U_{R7} \geq 8,2 \text{ В}$$

R2 і R7 дільник напруг який описується наступним рівнянням:

$$\frac{R2}{R7} \leq \frac{9 - 8,2}{8,2}$$

$$R7 \geq \frac{8,2}{0,8} * R2 = 2050 \text{ Ом}$$

Беремо резистор номіналом 7,1 кОм. Згідно рекомендацій підключень до КМОН ІМС резисторів номіналом 5-20 кОм для забезпечення вхідних та вихідних мкА струмів. Постійна часу розрядки кола C1R7:

$$\tau = R7 * C1 = 7,1 * 10^3 * 68 * 10^{-9} = 482,8 \text{ мкс}$$

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		36

Даний параметр дозволяє формувати тактові сигнали в ручному режимі перемикачем П4А.

Для забезпечення присутності логічного нуля на входах управління тригера S, J, K, R відповідно до рекомендацій підключаємо резистор до входу мікросхеми 176 серії R3-R6 вибираємо номіналом 20 кОм. Максимальний струм через дані резистори:

$$I_{max} = \frac{9}{2 * 10^4} = 0,45 \text{ мА}$$

Загальний струм через дані резистори будуть 1,8 мА, що відповідає параметрам джерела живлення лабораторного стенду.

Резистори R8 та R9 розраховуємо з умови, що R8 є набагато меншим за  $R_{вх}$  АЦП лабораторного стенду.  $R_{вх}$  АЦП дорівнює 150 кОм. Вибираємо 6,2 кОм. Виходимо ще і з умови, що якщо  $R_{вх}$  АЦП = 0 (коротке замикання на входах АЦП)  $I_{вих}$  з мікросхеми буде:

$$I_{вих} = \frac{9}{6,2 * 10^3} = 1,45 \text{ мА}$$

Який є менший ніж допустимий струм 5 мА.

Після того як розраховано усі компоненти функціонального пристрою, можна приступити до його проектування.

Я використовував для цього програму Sprint Layout, у ній я спроектував печатну плату (рис. 2.8). Електричні доріжки виконані зеленим кольором знаходяться на задній стороні плати. Електричні доріжки виконані синім кольором знаходяться на передній стороні плати. Компоненти функціонального пристрою розставлені саме так, з тією ціллю, щоб студенти легше знайшли схожість вигляду плати з електрично принциповою схемою.

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		37

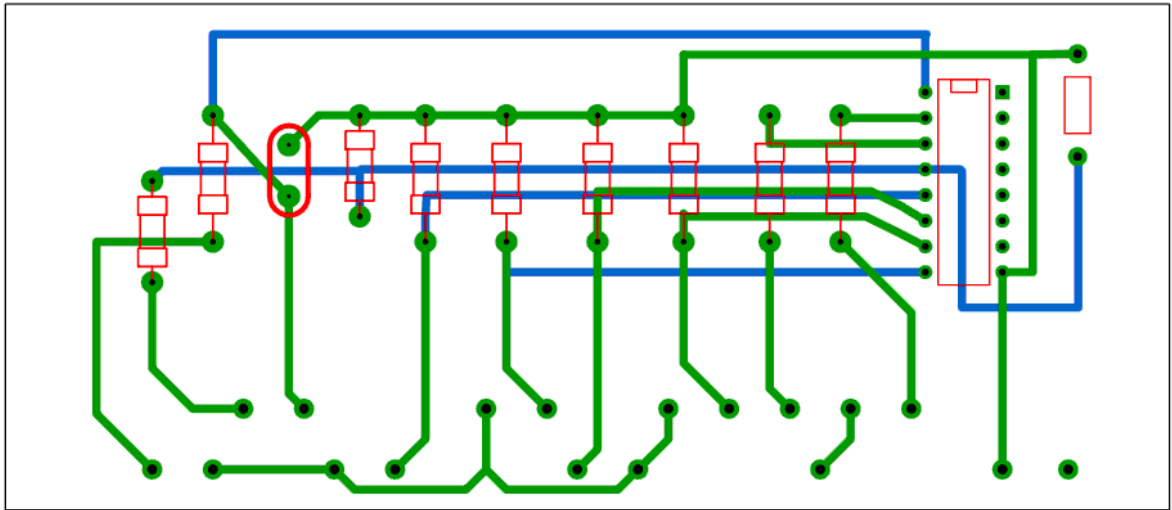


Рис. 2.8. Монтажна схема JK-тригера

### 2.2.2. Методичні рекомендації до виконання лабораторної роботи “Дослідження роботи інтегральних тригерів”

**Мета роботи:** вивчити роботу JK-тригера в інтегральному виконанні.

#### Теоретичні вказівки

Тригер, як відомо, представляє собою пристрій, що має декілька станів стійкої рівноваги, що дозволяє зручно зберігати інформацію у двійковому форматі. У такому тригері вихідний сигнал може набувати двох значень, які відповідають логічному нулю “0” та логічній одиниці “1”. Записана інформація в тригері зберігається доти, поки стан тригера не зазнає змін. Якщо це необхідно, за допомогою вхідного сигналу, що перевищує певний поріг спрацьовування, тригер переключається з одного стійкого стану в інший, змінюючи тим самим збережену інформацію. Тригер має два виходи, при цьому сигнали на цих виходах є доповнюючими один до одного, що означає, що інформація на одному виході “Q” є інверсією інформації на іншому. В мікроелектронних пристроях широко використовується велика кількість різних типів тригерів, які можна

Змн.	Арк.	№ докум.	Підпис	Дата

класифікувати за різними ознаками, такими як: спосіб запису інформації, логічна структура, тип функціонування та використання елементної бази.

У статичних і статично-динамічних тригерах використовується бістабільна комірка (БК), яка відповідає за перемикання тригера між двома станами. Це перемикання здійснюється за допомогою сигналів S (set – встановлення) та R (reset – скид), які надходять з виходів схеми керування. Логічне значення вихідного сигналу тригера залежить від комбінації сигналів на зовнішніх керуючих входах тригера та стану бістабільної комірки. Цей стан визначається значенням сигналу Q, який надходить з виходу бістабільної комірки та використовується на внутрішніх керуючих входах через зворотний зв'язок.

У випадку, коли використовуються обидва взаємоінверсні виходи бістабільної комірки (Q і  $\bar{Q}$  на рис. 2.9), тригер має парафазний вихід. Однак, якщо використовується лише один вихід, тригер має однофазний вихід. Важливо відзначити, що значення логічних рівнів на входах S або R, які призводять до перемикання, залежать від конкретної елементної бази, що використовується.

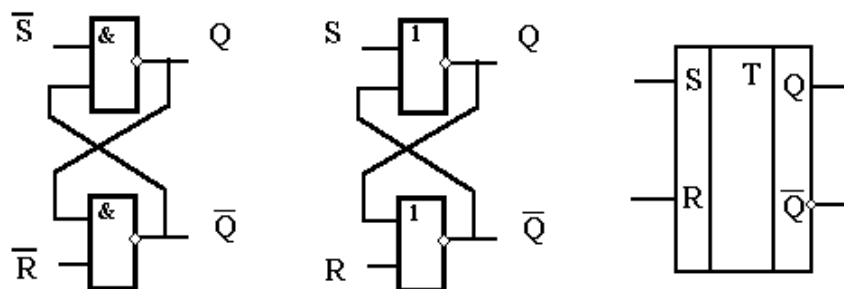


Рис. 2.9. Бістабільні комірки на логічних елементах “І-НЕ”, “АБО-НЕ” та умовне позначення RS-тригера

RS – тригери мають два керуючих входи S і R, за допомогою яких здійснюється встановлення тригера в стан  $Q = 1$  (при  $S = 1$  та  $R = 0$ ) і скиду в стан  $Q = 0$  (при  $S = 0$  та  $R = 1$ ). При  $S = R = 0$  тригер буде працювати в режимі зберігання, тобто зберігає стан який був раніше встановлений: або  $Q = 1$ , або  $Q = 0$ . Комбінація вхідних змінних  $S = R = 1$  (встановлення і скид одночасно) заборонена тому, що може привести до так званого невизначеного (непередбачуваного) стану виходу Q: може бути  $Q = 0$ , а може бути і  $Q = 1$ . Щоб

не допустити виникнення збоїв у цифрових системах, реалізацію комбінації коли  $S = R = 1$  виключають.

Стан тригера буде визначатись значенням вихідного сигналу  $Q$ , який змінюється або перемикається при певній комбінації сигналів на входах управління та при отриманні синхронізуючого сигналу (синхроімпульсу) на спеціальний вхід синхронізації  $C$  (clock – часозадавальний). Такий тип тригера називається синхронним. З іншого боку, асинхронні тригери не мають вхідного сигналу синхронізації, тому їх перемикання відбувається лише тоді, коли на керуючі входи надходить відповідна комбінація сигналів управління.

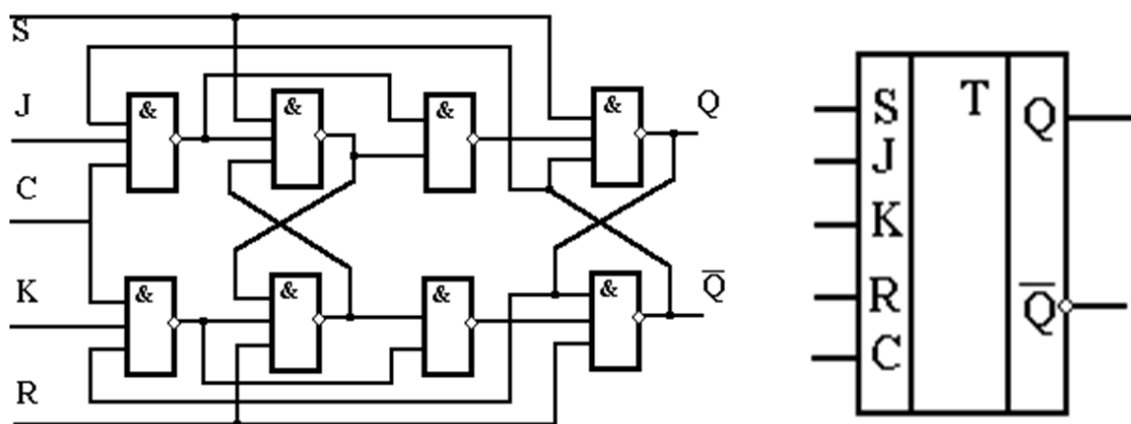


Рис. 2.10. Структурна схема JK-тригера та його умовне позначення

В залежності від комбінації керуючих сигналів, що призводять до зміни стану, тригери можуть бути класифіковані на різні функціональні типи. Тип тригера визначається за його характеристичним рівнянням або таблицею переходів. У мікроелектроніці найбільш поширені тригери SR-, JK-, T-, D-типів та їх варіації. Букви  $S$  і  $R$ ,  $J$  і  $K$ ,  $T$  і  $D$  та інші використовуються для позначення керуючих входів відповідних типів тригерів, що відповідають англійським термінам:  $K$  (Kill – вимкнення),  $J$  (Jerk – увімкнення),  $T$  (Toggle – перемикач),  $D$  (Delay – затримка),  $C$  (Clock – сигнал синхронізації).

JK-тригер відрізняється від RS-тригера тим, що при отриманні комбінації сигналів  $J = K = 1$  він змінює стан виходу на протилежний. Отже, у JK-тригера



немає заборонених комбінацій вхідних сигналів, які потрібно було б уникати в цифрових системах (рис. 2.10).

T-тригер – його вхідний стан змінюється на протилежний при отриманні лічильного сигналу  $T = 1$  і зберігається незмінним при  $T = 0$ .

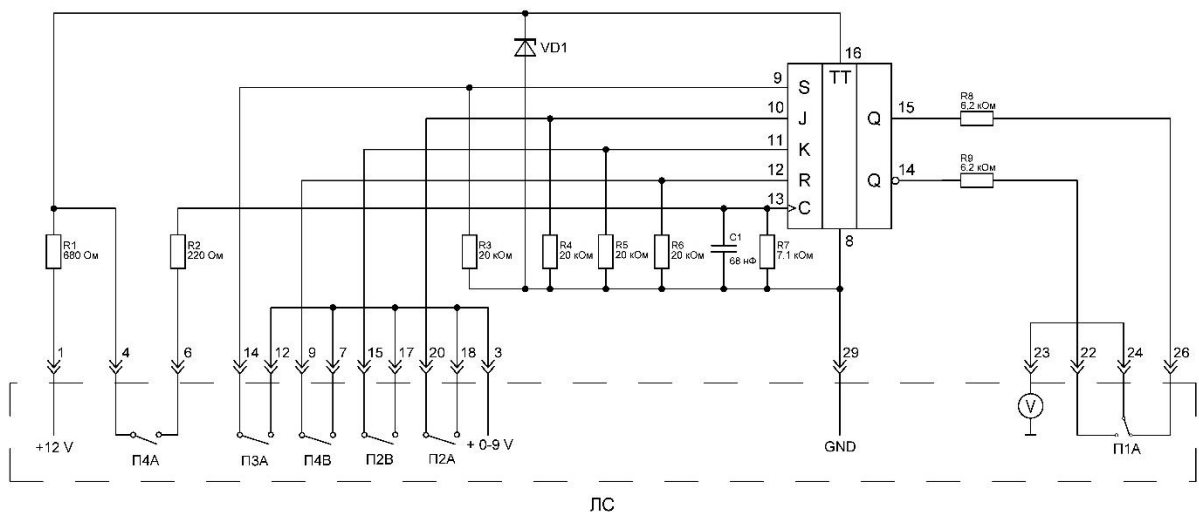
D-тригер виконує функцію затримки інформації, яка надходить на керуючий вхід D, протягом одного періоду синхронізуючих сигналів (taktів машинного часу).

## ПОРЯДОК ВИКОНАННЯ РОБОТИ

1.1. Ознайомитись з метою лабораторної роботи та описом необхідних приладів.

1.2. Зарисувати таблицю переходів досліджуваного JK-тригера.

2.1. Зарисувати досліджувану схему:



2.2. Під'єднати до лабораторного стенда досліджувану схему.

2.3. Зняти передавальні характеристики тригера та заповнити таблицю.

Змн.	Арк.	№ докум.	Підпис	Дата
------	------	----------	--------	------

Теперішній стан						Наступний стан		Назва режиму роботи
S	R	C	J	K	Qt	Q	$\bar{Q}$	
0	0	0,1, $\sqrt{\quad}$	X	X	Q	Q	$\bar{Q}$	Зберігання інфор.
		$\sqrt{\quad}$	0	0	Q	Q	$\bar{Q}$	Зберігання інфор.
		$\sqrt{\quad}$	1	0	X	1	0	Установка в 1
		$\sqrt{\quad}$	0	1	X	0	1	Установка в 0
		$\sqrt{\quad}$	1	1	Q	$\bar{Q}$	Q	Ділення на 2
1	0	X	X	X	X	1	0	Установка в 1
0	1	X	X	X	X	0	1	Установка в 0
1	1	X	X	X	X	1	1	Невизначений стан

2.4. Визначити напругу логічного нуля, логічної одиниці та напругу перемикання.

### КОНТРОЛЬНІ ЗАПИТАННЯ

1. Що таке тригер та який принцип його роботи?
2. Що таке непередбачуваний стан тригера та як його уникнути?
3. Які види тригерів ви знаєте?
4. Який принцип роботи синхронного та асинхронного тригера? Чим вони відрізняються?

### 2.3. Економічні розрахунки

При розрахунках та проектуванні функціонального пристрою важливу роль відіграє техніко-економічна оцінка приладу. Щоб провести економічні розрахунки визначимо собівартість функціональних пристроїв суматора-віднімача та JK-тригера.

Вартість цих функціональних пристроїв, як і будь-якого радіоелектронного виробу, буде залежати від вартості матеріалів, обладнання та затрат праці на виготовлення деталей. В таблиці 2.1 розраховано витрати на матеріали та сировину, що були необхідні для розробки одного функціонального пристрою для виконання лабораторних робіт.

Таблиця 2.1

Витрати на матеріали та сировину

Назва	Розмір, мм	Кількість	Ціна, грн
Текстоліт	1,5*150*100	1 шт	30
Припій		10 г	40
Каніфоль		10 г	70
Провід		20 см	2
Всього			92

В результаті було вираховано, що на один функціональний пристрій необхідно матеріалу та сировини на 92 грн.

В таблиці 2.2 розраховано витрати на комплектуючі елементи для функціонального пристрою суматора-віднімача.

Таблиця 2.2

Розрахунок витрат на комплектуючі елементи для суматора-віднімача

Назва, тип	Кількість, шт	Ціна за одиницю, грн	Сума, грн
<u>Мікросхеми</u>			
K561ЛП2	3	10	30
KM155ИМ3	1	8	8
<u>Транзистори</u>			
КТ817А	1	7	7
<u>Стабілітрони</u>			
BZV55-C5V6, SMD	1	2	2
<u>Резистори</u>			
1,2 кОм, 0,05 Вт	1	0,5	0,5
10 кОм, 0,05 Вт	8	0,5	4
Всього		28	51,5

В результаті розрахунків вийшло, що для розробки функціонального пристрою суматора-віднімача на комплектуючі елементи необхідно витратити 51 грн 50 коп.

В таблиці 2.3 розраховано витрати на комплектуючі елементи для функціонального пристрою JK-тригера.

Таблиця 2.3

Розрахунок витрат на комплектуючі елементи для JK-тригера

Назва, тип	Кількість, шт	Ціна за одиницю, грн	Сума, грн
<u>Мікросхеми</u>			
K176ТВ1	1	5	5
<u>Стабілітрони</u>			
КС191А	1	3	3
<u>Конденсатори</u>			
68 нФ, 100 В	1	3	3
<u>Резистори</u>			
680 Ом, 0,05 Вт	1	0,5	0,5
220 Ом, 0,05 Вт	1	0,5	0,5
20 кОм, 0,05 Вт	4	0,5	2
7,1 кОм, 0,05 Вт	1	0,5	0,5
6,2 кОм, 0,05 Вт	2	0,5	1
Всього		13,5	15,5

В результаті розрахунків вийшло, що для розробки функціонального пристрою JK-тригера на комплектуючі елементи необхідно витратити 15 грн 50 коп.

У результаті, якщо додати витрати на матеріал і сировину та на комплектуючі елементи обох функціональних пристроїв, для закупівлі необхідно 251 грн.

## ВИСНОВОК

При виконанні дипломного проекту:

1. Проведено розрахунки компонентів функціональних пристроїв JK-тригера та суматора-віднімача до виконання лабораторних робіт з дисципліни “Цифрова схемотехніка”.

2. На основі розрахунків були складені електричні принципові схеми функціональних пристроїв.

3. На основі електричних принципових схем розроблені монтажні плати до них.

4. Написано методичні рекомендації до виконання лабораторних робіт по таким темам: “Дослідження роботи суматора-віднімача”, “Дослідження роботи інтегральних тригерів”.

5. Проведено економічні розрахунки які показали, що функціональний пристрій JK-тригера коштує 107 грн 50 коп. а суматора-віднімача 143 грн 50 коп. Загальна вартість складає 251 грн.

					ДП 153.432.4 ПЗ	Арк.
Змн.	Арк.	№ докум.	Підпис	Дата		45